

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.  
G08G 3/36

(11) 공개번호 특2002-0026801  
(43) 공개일자 2002년04월12일

(21) 출원번호	10-2001-0049746
(22) 출원일자	2001년08월18일
(30) 우선권주장	JP-P-2000-00249090 2000년08월18일 일본(JP) JP-P-2000-00253196 2000년08월23일 일본(JP)
(71) 출원인	가부시키가이샤 한도오따이 에네루기 켄큐쇼 야마자키 순페이
(72) 발명자	일본국 가나가와켄 아쓰기시 하세 398 고야마준
(74) 대리인	일본국가나가와켄아쓰기시하세398가부시키가이샤한도오따이에네루기켄큐쇼내 황익만

심사청구 : 없음

(54) 액정표시장치, 그의 구동방법 및 액정표시장치를 갖는휴대형 정보장치의 구동방법

요약

n (n은 자연수임) 비트 디지털 신호를 입력하여 화상을 표시하는 액정표시장치는 각 화소 내에 n개의 기억회로를 갖는다. n개의 기억회로가 n비트 디지털 신호를 저장하고, 그 신호는 각 화소 내에 제공된 D/A 변환기에 의해 대응하는 아날로그 신호로 변환되며, 그 아날로그 신호가 액정 소자 내에 입력된다. 따라서, 정지 화상을 표시하고자 할 때, 일단 디지털 신호가 기억회로에 기입되면 저장된 디지털 신호를 반복해서 사용한다. 정지 화상을 표시하는 동안, 소스 신호선 구동회로와 그밖의 회로의 구동을 중단할 수 있다. 그리하여, 액정표시장치의 전력 소비를 줄일 수 있다.

도표도

도1

색인어

복수개의 화소를 갖는 액정표시장치, 전력 소비, 디지털 신호

영세서

도면의 간단한 설명

- 도 1은 내부에 복수개의 기억회로를 갖는 본 발명의 화소의 회로도,
- 도 2는 본 발명의 화소를 사용하여 화상을 표시하는 소스 신호선 구동회로의 회로 구조를 나타내는 도면,
- 도 3A 및 도 3B는 본 발명의 화소를 사용하여 화상을 표시하는 타이밍 차트,
- 도 4는 기억회로의 상세한 회로도,
- 도 5는 제2 래치 회로를 갖지 않는 소스 신호선 구동회로의 회로 구조를 나타내는 도면,
- 도 6은 도 5의 소스 신호선 구동회로에 의해 구동되는 본 발명의 화소의 회로도,
- 도 7A 및 도 7B는 도 5 및 도 6에 도시된 회로를 사용하여 화상을 표시하는 타이밍 차트,
- 도 8은 본 발명의 액정표시장치용 D/A 변환기 구조를 나타내는 도면,
- 도 9는 본 발명의 액정표시장치용 D/A 변환기 구조를 나타내는 도면,
- 도 10A 내지 도 10C는 본 발명의 화소를 갖는 액정표시장치의 제작공정의 예를 나타내는 도면,
- 도 11A 내지 도 11C는 본 발명의 화소를 갖는 액정표시장치의 제작공정의 예를 나타내는 도면,
- 도 12A 및 도 12B는 본 발명의 화소를 갖는 액정표시장치의 제작공정의 예를 나타내는 도면,
- 도 13은 종래의 액정표시장치의 전체 회로 구조를 나타내는 도면,

도 14는 종래의 액정표시장치의 소스 신호선 구동회로의 회로 구조를 나타내는 도면,  
 도 15A 내지 도 15F는 본 발명의 화소를 갖는 표시장치를 적용할 수 있는 전자 장치의 예를 나타내는 도면,  
 도 16A 내지 도 16D는 본 발명의 화소를 갖는 표시장치를 적용할 수 있는 전자 장치의 예를 나타내는 도면,  
 도 17은 제2 래치 회로를 갖지 않는 소스 신호선 구동회로의 회로 구조를 나타내는 도면,  
 도 18A 및 도 18B는 도 17에 도시된 회로를 사용하여 화상을 표시하는 타이밍 차트,  
 도 19A 및 도 19B는 반사형 액정표시장치의 제작공정의 예를 나타내는 도면,  
 도 20은 본 발명의 액정표시장치용 D/A 변환기의 구조를 나타내는 도면,  
 도 21은 본 발명의 액정표시장치용 D/A 변환기의 구조를 나타내는 도면,  
 도 22는 1 비트 데이터 처리에 필요한 수만큼 래치 회로를 갖는 소스 신호선 구동회로의 나타내는 도면,  
 도 23은 디코더를 사용하는 게이트 신호선 구동회로를 나타내는 도면,  
 도 24는 본 발명이 적용된 휴대형 정보 단말기를 나타내는 블록도,  
 도 25는 본 발명이 적용된 휴대 전화기를 나타내는 블록도,  
 도 26은 휴대 전화기의 송신/수신 유닛을 나타내는 블록도,  
 도 27A 내지 도 27C는 본 발명의 휴대형 정보장치용 액정표시장치를 나타내는 도면으로, 도 27A는 상기 장치의 상면도이고, 도 27B 및 도 27C는 상기 장치의 단면도,  
 도 28A 내지 도 28C는 본 발명의 휴대형 정보장치의 적용 예를 나타내는 다이어그램,  
 도 29A 및 도 29B는 본 발명의 휴대형 정보장치의 적용예를 나타내는 다이어그램,  
 도 30은 본 발명의 휴대형 정보장치의 액정표시장치 내 배치된 화소의 상면도,  
 도 31은 본 발명의 휴대형 정보 단말기의 일례를 나타내는 도면,  
 도 32는 본 발명의 휴대형 정보 단말기의 일례를 나타내는 도면,  
 도 33은 본 발명의 휴대형 정보 단말기의 일례를 나타내는 도면,  
 도 34는 종래의 휴대형 정보 단말기의 블록도,  
 도 35는 종래의 휴대 전화기의 블록도,  
 도 36은 본 발명의 액정표시장치용 화소의 구조를 나타내는 도면,  
 도 37은 본 발명의 액정표시장치용 화소의 구조를 나타내는 도면, 및  
 도 38은 본 발명의 액정표시장치용 화소의 구조를 나타내는 도면.

<도면의 주요 부분에 대한 부호의 설명>

101: 소스 신호선 102-104: 게이트 신호선  
 105-107: 기억회로 108-110: 기입 TFT  
 111: D/A 변환기 201: 시프트 레지스터 회로  
 202: 제1 래치 회로 203: 제2 래치 회로  
 204: 비트 신호 선택 스위치 205: 화소

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 표시장치(이하 표시장치로 칭함), 특히, 절연체 상에 형성된 박막 트랜지스터를 갖는 액티브 매트릭스 표시장치에 관한 것이다. 보다 구체적으로, 본 발명은 영상신호로 디지털 신호를 이용하는 액티브 매트릭스 액정표시장치에 관한 것이다. 본 발명은 또한 그러한 표시장치를 사용하는 휴대형 정보장치에 관한 것이다. 휴대형 정보장치의 구체적인 예로는, 휴대 전화기, PDA(Personal Digital Assistants: 개인 정보단말기), 휴대형 퍼스널 컴퓨터, 휴대형 네비게이션 시스템 및 전자책이 있으며, 이들은 모두 액티브 매트릭스 액정표시장치를 포함한다.

최근 들어, 절연체 상에, 특히 유리 기판 상에 형성된 반도체 박막을 갖는 표시장치가 호응을 얻고 있으며, 그러한 표시장치 중에서도 특히 박막 트랜지스터(이하 TFT로 칭함)가 구비된 액티브 매트릭스 표시장치가 널리 호평을 얻고 있다. TFT를 이용하는 액티브 매트릭스 표시장치는 대부분 매트릭스 내에 수십만 내지 수백만의 TFT가 배열되어 있으며, 화소의 전계를 조절하여 화상을 표시한다.

최근 개발 중인 기술은 화소 TFT와 구동회로 TFT를 동시에 형성하는 폴리실리콘 TFT에 관한 것이다. 하

소 TFT는 화소를 구성하는 TFT이고, 구동회로 TFT는 화소부 주변에 제공되는 구동회로를 구성하는 TFT이다. 이 기술은 액정표시장치의 크기와 전력 소비량을 줄이는데 크게 기여하였다. 이 기술의 개발로, 액정표시장치는 최근 보다 넓은 분야에서 사용되고 있는 이동 기기의 표시 단위에 필수적인 장치가 되고 있다.

도 13은 디지털 방법에 의해 구동되는 통상적인 액정표시장치를 나타내는 도면이다. 화소부(1308)가 중앙에 배치되어 있다. 화소부의 상부에 소스 신호선을 제어하는 소스 신호선 구동회로(1301)가 배치되어 있다. 소스 신호선 구동회로(1301)는 시프트 레지스터 회로(1303), 제1 래치 회로(1304), 제2 래치 회로(1305), D/A 변환기 회로(D/A 변환기 또는 DAC)(1306), 아날로그 스위치(1307) 등을 갖는다. 화소부의 우측과 좌측에는 게이트 신호선을 제어하는 게이트 신호선 구동회로(1302)가 배치되어 있다. 도 13에는 게이트 신호선 구동회로(1302)가 화소부의 좌우 양측에 배치되어 있지만, 하나의 게이트 신호선 구동회로가 화소부의 좌측 또는 우측 한쪽에만 배치될 수도 있다는 것이다. 그러나, 구동 효율 및 구동 신뢰도 측면에서 화소부의 양측에 게이트 신호선 구동회로가 배치되는 것이 바람직하다.

소스 신호선 구동회로(1301)는 도 14에 도시된 것과 같은 구조를 갖는다. 도 14에 도시된 구동회로는 3비트 디지털 계조 신호를 위한 1024 화소의 수평 해상도를 갖는 소스 신호선 구동회로이다. 이 구동회로는 시프트 레지스터 회로(SR)(1401), 제1 래치 회로(LAT1)(1402), 제2 래치 회로(LAT2)(1403), D/A 변환기 회로(D/A)(1404) 등을 포함한다. 도 14에는 도시되지 않았지만, 필요한 경우 완충 회로, 레벨 시프터 회로 등을 또한 포함할 수 있다.

도 13 및 도 14를 참조하여 화소의 동작을 간단히 설명하면 다음과 같다. 먼저, 시프트 레지스터 회로(1303)(도 14에 SR로 표시됨)에 클럭 신호(S-CLK, S-CLKb)와 스타트 펄스(S-SP)가 입력되면, 연이어 샘플링 펄스가 출력된다. 이어서, 샘플링 펄스가 제1 래치 회로(1304)(도 14에 LAT1로 표시됨)에 입력되고, 디지털 신호(디지털 데이터) 역시 제1 래치 회로(1304)에 입력된 후 각각 상기 제1 래치 회로에 유지된다. 이 때, 미는 가장 중요한 비트(MSB: most significant bit)이고, D3은 가장 중요하지 않은 비트(LSB: least significant bit)이다. 제1 래치 회로(1304)에 1 수평 기간 분에 해당하는 디지털 신호가 모두 보유되면, 제1 래치 회로(1304)에 보유된 디지털 신호는 쿼션 기간에 래치 신호(래치 펄스)의 입력에 따라 한번에 모두 제2 래치 회로(1305)(도 14에 LAT2로 표시됨)로 전송된다.

이후, 시프트 레지스터 회로(1303)가 다시 동작하여 다음 1 수평 기간에 해당하는 디지털 신호의 보유 동작이 시작된다. 이와 동시에, 제2 래치 회로(1305)에 보유된 디지털 신호가 D/A 변환기(1306)(도 14에 D/A로 표시됨)에 의해 아날로그 신호로 변환된다. 아날로그화된 신호는 소스 신호선을 지나 화소에 기입된다. 이 동작을 반복하여, 화상이 표시된다.

이제, 상기한 통상적인 액정표시장치를 이용하는 휴대형 정보장치에 대해 기재할 것이다.

휴대형 정보 단말기의 예로서 휴대형 정보장치에 대해 기재한다. 도 34에 통상적인 휴대형 정보 단말기의 블록도가 도시되어 있다. 휴대형 정보 단말기의 용도는 사용자의 필요에 따라 원하는 정보를 사용자에게 제공하는 것이다. 제공되는 정보에는 휴대형 정보 단말기의 메모리(예, DRAM(1509) 및 플래시 메모리(1510))에 저장된 데이터, 휴대형 정보 단말기에 삽입된 메모리 카드(1503)에 저장된 데이터, 휴대형 정보 단말기를 외부 인터페이스 포트(1505)를 통해 외부 장치에 접속시켜 얻는 데이터 및 기타 데이터가 포함된다. 이 정보는 펜 터치 태블릿(1501)을 통해 사용자가 입력하는 명령이 수신되면 CPU(1506)가 처리하며, 액정표시장치(1513)가 정보를 표시한다.

구체적으로, 펜 터치 태블릿(1501)을 통해 입력된 신호는 검출 회로(1502)에 의해 검출된 후 태블릿 인터페이스(1518)에 입력된다. 입력된 신호는 태블릿 인터페이스(1518)에 의해 처리되고, 처리된 신호는 영상신호 입력 회로(1507)와 기타 회로들에 입력된다. CPU(1506)가 필요한 데이터를 처리하고, 처리된 데이터는 VRAM(1511)에 저장된 화상 포맷에 기초하여 화상 데이터로 변환된다. 이 화상 데이터는 LCD 제어기(1512)로 전달되고, 상기 제어기는 액정표시장치(1513)를 구동시키는 신호를 발생시킨다. 이로써, 표시장치가 구동되어 정보가 표시된다.

휴대형 정보장치의 다른 예로서 휴대 전화기를 기재한다. 도 35에 통상적인 휴대 전화기의 블록도도 도시되어 있다. 휴대 전화기는 전파를 전송하고 수신하는 전송/수신 회로(1615), 음향 처리회로(1602), 데이터 입력용 키보드(1601), 이 키보드(1601)를 통해 입력되는 신호를 처리하는 키보드 인터페이스(1618) 등으로 구성된다.

키보드를 통해 사용자가 입력한 명령이 수신되면, CPU(1606)가 정보를 처리하고, 액정표시장치(1613)가 정보를 표시한다. 정보는 메모리 장치(예, DRAM(1609) 및 플래시 메모리(1610))에 저장된 데이터, 휴대 전화기에 삽입된 메모리 카드(1603)에 저장된 데이터, 휴대 전화기를 외부 인터페이스 포트(1605)를 통해 외부 장치에 접속시켜 얻는 데이터 및 기타 데이터가 포함된다.

구체적으로, 키보드(1601)를 통해 입력되는 신호는 키보드 인터페이스(1618)에 의해 처리되고, 처리된 신호는 영상신호 처리회로(1607)와 기타 회로들에 입력된다. CPU(1606)가 필요한 데이터를 처리하고, 처리된 데이터는 VRAM(비디오 RAM)(1611)에 저장된 화상 포맷에 기초하여 화상 데이터로 변환된다. 이 화상 데이터는 LCD 제어기(1612)로 전달되고, 상기 제어기는 액정표시장치(1613)를 구동시키는 신호를 발생시킨다. 이로써, 표시장치가 구동되어 정보가 표시된다.

전송/수신 회로(1615)의 구조예가 도 26에 도시되어 있다.

도시된 전송/수신 회로(1615)는 안테나(2662), 필터(2663, 2667, 2668, 2672, 2676), 제2 주파수 변환기 회로(2673), 주파수 변환기 회로(2671), 발진 회로(2670, 2674), AC/DC 변환기(2675), 데이터 복조 회로(2678) 및 데이터 변조 회로(2679)를 포함한다.

일반적인 액티브 매트릭스 액정표시장치에서, 스크린 표시는 동화상을 원활하게 표시하기 위해, 1초에 대략 60회 정도 갱신된다. 즉, 새로운 매 프레임마다 디지털 신호를 공급해야 하고, 상기 신호는 매번 화소에 기입되어야 한다. 표시할 화상이 정지 화상일지라도, 동일한 신호가 새로운 매 프레임마다 계속해서 공급되어야 하며, 외부 회로, 구동회로 등은 동일한 디지털 신호를 연속적으로 반복해서 처리해야 한

다.

다른 방법으로는 정지 화상의 디지털 신호를 외부 기억회로에 한번 기입한 후, 새 프레임이 시작될 때마다 디지털 신호를 외부 기억회로로부터 액정표시장치에 공급하는 방법이 있다. 그러나, 이 대체 방법은 외부 기억회로와 구동회로가 연속적으로 동작해야 한다는 점에서 상기 방법과 다르지 않다.

또한, 통상적인 휴대형 정보장치에서는 정지 화상의 경우에도, 임의의 화상을 표시장치 상에 표시하기 위해 동일 화상의 데이터를 휴대형 정보장치에 포함된 표시장치에 60회 전송해야만 한다. 도면을 참조하여 이러한 상황을 설명하면, 도 34에 점선으로 표시된 회로(CPU(1506) 내의 영상신호 처리회로(1507); VRAM(1511); LCD 제어기(1512); 액정표시장치(1513)의 소스 신호선 구동회로 및 게이트 신호선 구동회로; 펜 터치 태블릿(1501); 감촉 회로(1502); 및 태블릿 인터페이스(1518))들이 화상이 표시되는 동안 계속해서 동작해야만 한다. 도 35에 도시된 경우에는 도 35에 점선으로 표시된 회로(CPU(1606) 내의 영상신호 처리회로(1607); VRAM(1611); LCD 제어기(1612); 액정표시장치(1613)의 소스 신호선 구동회로 및 게이트 신호선 구동회로; 키보드(1601); 및 키보드 인터페이스(1618))들이 화상이 표시되는 동안 계속해서 동작해야만 한다.

패시브 매트릭스 표시장치는 몇개의 화소만을 가지며, 그들 중 몇몇은 메모 회로를 구동 IC 또는 제어기에 합체시켜 정지 화상을 표시하는 중에 VRAM 동작을 중단시킬 수 있다. 그러나, 액티브 매트릭스 액정 표시장치와 같이 많은 수의 화소를 사용하는 표시장치의 경우에는 칩 크기 면에서 기억회로를 구동 IC 또는 제어기에 합체시키는 것이 실용적이지 못하다. 따라서, 선행 기술의 휴대형 정보장치 내 대부분의 회로들은 정지 화상을 표시하는 경우에도 계속해서 동작해야만 하며, 그 결과 전력 소비의 큰 장애가 되었다.

이동 기기에서 소비 전력의 감소가 크게 요구되고 있다. 이동 기기가 대개 정지 화상 방식으로 사용될에도 불구하고, 이동 기기의 구동회로는 앞서 기재한 바와 같이, 정지 화상을 표시하는 중에도 계속해서 동작해야 한다. 따라서, 전력 소비량의 감소에 어려움이 있다.

#### 발명이 이루고자 하는 기술적 과제

상기의 문제점을 고려하여 본 발명의 이루어졌으며, 따라서, 본 발명의 목적 중 하나는 정지 화상을 표시하는 동안 구동회로 및 다른 회로 내의 전력 소비를 줄이는 것이다.

상기 문제점을 해결하기 위해, 본 발명은 하기 수단을 사용한다.

#### 발명의 구성 및 작용

복수개의 기억회로를 화소에 제공하여, 디지털 신호가 각 화소마다 저장되도록 한다. 정지 화상을 표시하는 경우, 일단 신호가 기입되면, 이후에 화소에 기입되는 정보는 모두 동일하다. 따라서, 새로운 프레임이 시작될 때 마다 신호를 입력하는 대신, 기억회로에 저장된 신호를 판독하여 정지 화상을 연속적으로 표시할 수 있다. 즉, 정지 화상을 표시할 때, 적어도 한 프레임에 해당하는 신호의 처리가 끝나면, 소스 신호선 구동회로, 영상신호 처리회로 및 기타 회로의 동작이 중단되는 것을 의미한다. 이로써 전력 소비량을 크게 감소시킬 수 있게 된다.

이후, 본 발명의 액정표시장치 및 상기 액정표시장치를 갖는 휴대형 정보장치에 대해 서술할 것이다.

본 발명에 따르면, 복수개의 화소들이 각각 복수개의 기억회로 및 D/A 변환기를 갖는 것을 특징으로 하는 복수개의 화소를 갖는 액정표시장치가 제공된다.

본 발명에 따르면, 복수개의 화소들이 각각  $n$ 개 기억회로( $n$ 은 2 이상의 자연수임)와 상기  $n$ 개 기억회로에 저장된 디지털 신호를 아날로그 신호로 변환시키기 위한 D/A 변환기를 갖는 것을 특징으로 하는 복수개의 화소를 갖는 액정표시장치가 제공된다.

본 발명에 따르면, 복수개의 화소들이 각각  $n$ 개 기억회로( $n$ 은 2 이상의 자연수임)와 상기  $n$ 개 기억회로에 저장된 디지털 신호를 아날로그 신호로 변환시키기 위한 D/A 변환기를 갖는 것을 특징으로 하는, 복수개의 화소를 갖고, 상기 화소들은 각각 아날로그 신호가 입력되는 액정 소자를 갖는 액정표시장치가 제공된다.

본 발명에 따르면, 복수개의 화소들이 각각  $n \times m$ 개의 기억회로( $n$  및  $m$ 은 둘 다 2 이상의 자연수임)와 상기  $n \times m$ 개 기억회로에 저장된  $n$  비트 디지털 신호를 아날로그 신호로 변환시키기 위한 D/A 변환기를 갖는 것을 특징으로 하는 액정표시장치가 제공된다.

본 발명에 따르면, 액정표시장치의 구동방법 중에, 복수개의 화소들이 각각  $n \times m$ 개의 기억회로( $n$  및  $m$ 은 둘 다 2 이상의 자연수임)와 상기  $n \times m$ 개 기억회로에 저장된  $n$  비트 디지털 신호를 아날로그 신호로 변환시키기 위한 D/A 변환기를 갖고, 복수개의 화소들이 각각  $m$ 개 프레임에 해당하는 디지털 신호를 저장하는 것을 특징으로 하는, 복수개의 화소를 갖는 액정표시장치가 제공된다.

본 발명에 따르면, 소스 신호선이 제공되고, 기억회로 및 D/A 변환기가 상기 소스 신호선과 오버랩되도록 배치된 것을 특징으로 하는 액정표시장치가 제공된다.

본 발명에 따르면, 게이트 신호선이 제공되고, 기억회로 및 D/A 변환기가 상기 게이트 신호선과 오버랩되도록 배치된 것을 특징으로 하는 액정표시장치가 제공된다.

본 발명에 따르면, 복수개의 화소들이 각각 소스 신호선 1개, 게이트 신호선  $n$ 개 ( $n$ 은 2 이상의 자연수임), TFT  $n$ 개, 기억회로  $n$ 개, 및 D/A 변환기 1개를 갖고,  $n$ 개의 TFT는 각각이  $n$ 개의 게이트 신호선 중 하나에 접속된 게이트 전극을 갖고,  $n$ 개의 TFT 각각은 소스 영역과 드레인 영역을 갖고, 그 영역중 하나는 소스 신호선에 접속되고, 다른 하나는  $n$ 개 기억회로 중 하나의 입력 단자에 접속되고;  $n$ 개 기억회로 각각의 출력 단자는 D/A 변환기의 입력 단자에 접속되고; D/A 변환기의 출력 단자는 액정 소자에 접속된

것을 특징으로 하는, 복수개의 화소를 갖고, 상기 화소들이 각각 액정 소자를 갖는 액정표시장치가 제공된다.

본 발명에 따르면, 복수개의 화소들이 각각 소스 신호선  $n$ 개 ( $n$ 은 2 이상의 자연수임), 게이트 신호선 1개, TFT  $n$ 개, 기억회로  $n$ 개, 및 D/A 변환기 1개를 갖고,  $n$ 개의 TFT는 게이트 신호선에 접속된 게이트 전극을 갖고,  $n$ 개의 TFT 각각은 소스 영역과 드레인 영역을 갖고, 상기 중 하나는  $n$ 개 소스 신호선 중 하나에 접속되고, 다른 하나는  $n$ 개 기억회로 중 하나의 입력 단자에 접속되고,  $n$ 개 기억회로 각각의 출력 단자는 D/A 변환기의 입력 단자에 접속되고, D/A 변환기의 출력 단자는 액정 소자에 접속된 것을 특징으로 하는, 복수개의 화소를 갖고, 상기 화소들이 각각 액정 소자를 갖는 액정표시장치가 제공된다.

본 발명에 따른 액정표시장치는 소스 신호선 구동회로가 제공되고, 상기 소스 신호선 구동회로는 시프트 레지스터, 제1 래치 회로, 제2 래치 회로, 및 스위치를 포함하고, 제1 래치 회로는 시프트 레지스터로부터 샘플링 펄스가 수신되면  $n$  비트 디지털 신호를 보유한 후, 상기  $n$  비트 디지털 신호를 제2 래치 회로로 전송하고, 스위치는 제2 래치 회로에 전송된  $n$  비트 디지털 신호 중 한번에 1 비트씩 선택하여 선택된 신호를 소스 신호선에 입력하는 것을 특징으로 하는 액정표시장치일 수 있다.

본 발명에 따른 액정표시장치는 소스 신호선 구동회로가 제공되고, 상기 소스 신호선 구동회로는 시프트 레지스터, 제1 래치 회로 및 제2 래치 회로를 포함하고, 제1 래치 회로는 시프트 레지스터로부터 샘플링 펄스가 수신되면 1 비트 디지털 신호를 보유한 후, 상기 1 비트 디지털 신호를 제2 래치 회로로 전송하는 것을 특징으로 하는 액정표시장치일 수 있다.

본 발명에 따른 액정표시장치는 소스 신호선 구동회로가 제공되고, 상기 소스 신호선 구동회로는 시프트 레지스터 및 제1 래치 회로를 포함하고, 제1 래치 회로는 시프트 레지스터로부터 샘플링 펄스가 수신되면  $n$  비트 디지털 신호를 보유한 것을 특징으로 하는 액정표시장치일 수 있다.

본 발명에 따른 액정표시장치는 소스 신호선 구동회로가 제공되고, 상기 소스 신호선 구동회로는 시프트 레지스터, 제1 래치 회로 및 스위치  $n$ 개를 포함하고, 제1 래치 회로는 시프트 레지스터로부터 샘플링 펄스가 수신되면  $n$  비트 디지털 신호를 보유하고,  $n$ 개의 스위치는 제1 래치 회로에 저장된  $n$  비트 디지털 신호를  $n$ 개의 소스 신호선에 입력하는 것을 특징으로 하는 액정표시장치일 수 있다.

본 발명에 따르면, 기억회로가 스테이틱 랜덤 액세스 메모리(SRAM), 강유전성 랜덤 액세스 메모리(FerAM), 또는 다이내믹 랜덤 액세스 메모리(DRAM)인 것을 특징으로 하는 액정표시장치가 제공된다.

본 발명에 따르면, 기억회로가 유리 기판, 플라스틱 기판, 스테인레스 강 기판 또는 단결정 웨이퍼 상에 형성된 것을 특징으로 하는 액정표시장치가 제공된다.

본 발명에 따른 액정표시장치는 상기 액정표시장치가 포함하는 것을 특징으로 하는 텔레비전 셋, 퍼스널 컴퓨터, 휴대형 단말기, 비디오 카메라 또는 헤드 장착형 표시장치일 수 있다.

본 발명에 따르면, 복수개의 화소들이 각각 복수개의 기억회로와 D/A 변환기 1개를 갖고, 데이터는 전체 화소 복수개 중의 특정 열의 화소 또는 특정 행의 화소의 복수개 기억회로에 재기입되는 것을 특징으로 하는, 복수개의 화소가 행렬로 배치되어 있는 액정표시장치의 구동방법이 제공된다.

본 발명에 따르면, 복수개의 화소들이 각각 복수개의 기억회로와 D/A 변환기 1개를 갖고, 정지 화상을 표시할 때 소스 신호선 구동회로의 동작이 중단되는 것을 특징으로 하는, 복수개의 화소와 상기 복수개의 화소에 영상신호를 입력하기 위한 소스 신호선 구동회로를 갖는 액정표시장치의 구동방법이 제공된다.

본 발명에 따르면, 기억회로가 스테이틱 랜덤 액세스 메모리(SRAM), 강유전성 랜덤 액세스 메모리(FerAM), 또는 다이내믹 랜덤 액세스 메모리(DRAM)인 것을 특징으로 하는 액정표시장치의 구동방법이 제공된다.

본 발명에 따르면, 기억회로가 유리 기판, 플라스틱 기판, 스테인레스 강 기판 또는 단결정 웨이퍼 상에 형성된 것을 특징으로 하는 액정표시장치의 구동방법이 제공된다.

본 발명에 따른 액정표시장치는 상기 액정표시장치가 상기 구동방법에 의해 구동되는 것을 특징으로 하는 텔레비전 셋, 퍼스널 컴퓨터, 휴대형 단말기, 비디오 카메라 또는 헤드 장착형 표시장치일 수 있다.

본 발명에 따르면, 액정표시장치가 복수개의 기억회로, D/A 변환기 1개 및 상기 복수개의 기억회로에 신호를 출력하는 구동회로를 갖는 복수개의 화소를 포함하고, CPU가 상기 구동회로를 제어하는 제1 회로 및 휴대형 정보장치에 입력되는 신호를 제어하는 제2 회로를 포함하고, 상기 액정표시장치가 정지 화상을 표시할 때 제1 회로의 동작이 중단되는 것을 특징으로 하는 액정표시장치 및 CPU를 갖는 휴대형 정보장치의 구동방법이 제공된다.

본 발명에 따르면, 액정표시장치가 복수개의 기억회로 및 D/A 변환기 1개를 갖는 복수개의 화소를 포함하고, 상기 액정표시장치가 정지 화상을 표시할 때 VRAM으로부터 데이터를 판독하는 동작이 중단되는 것을 특징으로 하는 액정표시장치 및 VRAM을 갖는 휴대형 정보장치의 구동방법이 제공된다.

본 발명에 따르면, 액정표시장치가 복수개의 기억회로 및 D/A 변환기 1개를 갖는 복수개의 화소를 포함하고, 상기 액정표시장치가 정지 화상을 표시할 때 액정표시장치의 소스 신호선 구동회로의 동작이 중단되는 것을 특징으로 하는 액정표시장치를 갖는 휴대형 정보장치의 구동방법이 제공된다.

본 발명에 따르면, 복수개의 기억회로 내 데이터가 1 프레임 기간에 한번 판독되는 것을 특징으로 하는 휴대형 정보장치의 구동방법이 제공된다.

본 발명에 따르면, 액정표시장치가 행렬로 배치된 복수개의 화소를 갖고, 상기 복수개의 화소들이 각각 복수개의 기억회로 및 D/A 변환기 1개를 갖고, 액정표시장치가 전체 화소 복수개 중의 특정 열의 화소 또는 특정 행의 화소의 복수개 기억회로에 데이터를 재기입하는 것을 특징으로 하는, 액정표시장치를 갖는 휴대형 정보장치의 구동방법이 제공된다.

본 발명에 따르면, 휴대형 정보장치가 휴대 전화기, 퍼스널 컴퓨터, 네비게이션 시스템, PDA 또는 전자책인 것을 특징으로 하는 휴대형 정보장치의 구동방법이 제공된다.

# <실시형태>

도 2는 복수개의 기억회로를 갖는 화소를 이용하는 표시장치 내의 소스 신호선 구동회로 및 화소 일부의 구조를 나타내는 도면이다. 이 회로는 3 비트 디지털 계조 신호를 처리할 수 있으며, 시프트 레지스터 회로(SR)(201), 제1 래치 회로(LAT1)(202), 제2 래치 회로(LAT2)(203), 비트 신호 선택 스위치(SW)(204) 및 화소(205)로 구성된다. 도면 부호 (210)은 게이트 신호선 구동회로로부터 또는 외부로부터 직접 공급되는 신호이며, 이 신호에 대해서는 후에 화소를 설명하면서 서술할 것이다.

도 1은 도 2에 도시된 화소들(205) 중 하나의 회로 구조를 상세하게 나타내는 도면이다. 이 화소는 3 비트 디지털 계조 신호용이며, 액정 소자(LC), 보우 용량(Cs), 기억회로(105 내지 107) 등으로 구성된다. 도면 부호 101은 소스 신호선을 나타내고, 도면 부호 102 내지 104는 기입 게이트 신호선을 나타내고, 도면 부호 108 내지 110은 기입 TFT를 나타낸다.

D/A 변환기의 구체적인 예는 실시예에서 서술할 것이다. 그러나, D/A 변환기는 실시예에 기재된 것과 다른 구조를 가질 수 있다.

도 3A 및 도 3B는 도 1에 도시된 본 발명의 표시장치의 타이밍 차트를 도시한다. 본 발명의 표시장치는 3 비트 디지털 계조 신호를 처리할 수 있으며, VGA 수준의 해상도를 갖는다. 이 표시장치의 구동방법을 도 1 내지 도 3B를 참조하여 설명할 것이다. 이하 설명에 사용된 부호는 도 1 내지 도 3B에 사용된 도면 부호가 그대로 사용된 것이다.

도 2와 도 3A 및 도 3B를 참조한다. 도 3A에 프레임 시간들이 각각  $\alpha$ ,  $\beta$ , 및  $\gamma$ 로 표시되어 있다. 먼저, 기간  $\alpha$ 에서의 회로 동작에 대해 설명할 것이다.

통상적인 디지털 구동회로의 디지털 구동방법과 유사하게, 시프트 레지스터 회로(201)에 클럭 신호(S-CLK, S-CLKb)와 스타트 펄스(S-SP)가 입력되고, 뒤이어 샘플링 펄스가 출력된다. 이어서, 샘플링 펄스가 제1 래치 회로(202)(LAT1)에 입력되고, 유사하게 제1 래치 회로(202)에 입력된 디지털 신호(디지털 데이터)가 각각 보유된다. 1 수평 기간 분의 도트 데이터 샘플링 기간이 도 3A에 1에서 480으로 도시된 각각의 시간들이다. 디지털 신호는 3 비트이고, 0이 가장 중요한 비트(MSB)이며, 03이 가장 덜 중요한 비트(LSB)이다. 1 수평 기간 분의 디지털 신호가 제1 래치 회로에 모두 보유되면, 위선 기간 동안 래치 신호(래치 펄스)에 따라 제1 래치 회로(202)에 보유된 디지털 신호가 제2 래치 회로(203)(LAT2)로 한번에 전달된다.

이어서, 다시 시프트 레지스터 회로(201)로부터 출력되는 샘플링 펄스에 의해, 다음 수평 기간을 위한 보유 동작이 수행된다.

한편, 제2 래치 회로(203)로 전달된 디지털 신호는 화소내 배치된 기억회로에 기입된다. 도 3B에 도시된 바와 같이, 다음 열의 도트 데이터 샘플링 기간은 I, II 및 III의 세 기간으로 나뉘어지며, 제2 래치 회로에 보유된 디지털 신호는 소스 신호선으로 출력된다. 이 때, 각 비트의 신호는 선택적으로 접속되어 비트 신호 선택 스위치(204)에 의해 순서대로 소스 신호선으로 출력된다.

I 기간에, 펄스가 기입 게이트 신호선(102)에 입력되어 TFT(108)이 도통 상태가 되면 디지털 신호가 기억회로(105)에 기입된다. 이어서, II 기간에, 펄스가 기입 게이트 신호선(103)에 입력되어 TFT(109)가 도통 상태가 되면 디지털 신호가 기억회로(106)에 기입된다. 마지막으로, III 기간에, 펄스가 기입 게이트 신호선(104)에 입력되어 TFT(110)가 도통 상태가 되면 디지털 신호가 기억회로(107)에 기입된다.

상기와 같이 하여, 1 수평 기간 분의 디지털 신호를 위한 처리 과정이 완료된다. 도 3B에 도시된 기간은 도 3A에  $\alpha$ 로 표시된 기간이다. 상기 동작을 최종 단계가 진행될 때까지 반복하면, 1 프레임 분의 디지털 신호가 기억회로(105) 내지 (107)에 기입된다.

기입된 디지털 신호는 D/A(111)에 의해 아날로그 신호로 변환되고, 아날로그 신호는 액정 소자에 입력된다. 액정 소자는 입력된 아날로그 신호에 따라 투과율을 변화시켜 계조를 제공한다. 이 때 신호는 3 비트 신호이기 때문에 0 내지 7 범위, 즉 전체 8 단계의 휘도를 얻을 수 있다.

상기 동작을 반복하여 화상 표시가 진행된다. 표시하려는 화상이 정지 화상인 경우에는 제1 동작으로 디지털 신호가 기억회로(105 내지 107)에 저장된다. 일단 디지털 신호가 저장되면, 새로운 프레임 기간마다 기억회로(105 내지 107)에 저장된 디지털 신호가 반복해서 판독된다.

DAC 제어기는 새로운 프레임 기간마다 기억회로에 저장된 디지털 신호를 반복해서 판독하고, 판독된 신호를 D/A(111)에서 아날로그 신호로 변환시키는 동작을 조절하는 데 적절히 사용된다.

또는, 기억회로의 출력은 판독 TFT(도시안됨)를 통해 D/A(111)에 입력된다. 판독 TFT를 ON 상태로 하거나 OFF 상태로 조절하여 새로운 프레임 기간마다 기억회로에 저장된 디지털 신호를 반복해서 판독한다.

이 경우, 판독 TFT의 전극이 접속된 판독 게이트 신호선(도시안됨)에 신호를 입력하는 데는 판독 게이트 신호선 구동회로(도시안됨)가 사용된다.

그리하여, 정지 화상을 표시하는 동안 소스 신호선 구동회로를 중단할 수 있다.

또한, 게이트 신호선을 전체를 한번에 모두 사용하는 대신 하나씩 사용하여 기억회로에 디지털 신호를 기입하거나 기억회로로부터 디지털 신호를 판독할 수 있다. 다시 말해, 짧은 기간 동안만 소스 신호선 구동회로를 동작시켜 부분적인 스크린 재기입이 가능하기 때문에 표시방법 선택사양이 증가된다.

이 때, 게이트 신호선 구동회로로서 디코더를 사용하는 것이 바람직하다. 적합한 디코더는 일본국 공개특허공고 평8-101669호 공보에 개시된 회로이다. 디코더의 일례가 도 23에 도시되어 있다. 소스 신호선 구동회로는 스크린의 일부에 재기입하기 위해 디코더를 포함할 수도 있다.

이 실시 형태에서 하나의 화소는 한 프레임에 해당하는 3 비트 디지털 신호를 저장하기 위해 3개의 기억 회로를 갖는다. 그러나, 본 발명에 따르면, 기억회로의 수가 3개에만 제한되지 않는다. 예를 들어,  $m(m \geq 2)$  이상의 자연수일 때 프레임 분의  $n(n \geq 2)$  이상의 자연수일 때  $n \times m$ 개 기억회로를 갖는다.

화소에 장착된 기억회로는 상기와 같은 방식으로 디지털 신호를 저장하기 때문에, 정지 화상을 표시하는 경우 새로운 프레임 기간마다 기억회로에 저장된 디지털 신호를 반복해서 사용할 수 있다. 이로써 외부 회로, 소스 신호선, 구동회로 또는 기타 회로를 구동하지 않고 정지화상을 연속적으로 표시할 수 있다. 따라서, 본 발명은 액정표시장치의 전력 소비를 크게 줄일 수 있다.

비트 수에 따라 그 수가 증가되는 래치 회로의 배치를 고려하면, 소스 신호선 구동회로는 절연체 상에 일체로 형성될 필요가 없을 수 있다. 소스 신호선 구동회로의 일부 또는 전체가 절연체 외부에 설치될 수 있다.

이 실시형태의 소스 신호선 구동회로는 비트 수에 따라 래치 회로의 수가 제공되지만, 소스 신호선 구동회로는 1 비트 데이터 처리에만 필요한 수만큼 래치 회로가 제공된 경우에도 동작할 수 있다. 이 때는, 가장 중요한 비트에서부터 덜 중요한 비트의 디지털 신호가 래치 회로에 연속으로 입력된다.

도 24는 상기와 같은 구조를 갖는 액정표시장치를 사용하는 본 발명의 휴대형 정보장치의 구조를 나타내는 도면이다. 정지 화상을 표시할 때, 영상신호는 표시장치(2413)의 화소 내의 기억회로에 저장되며, 저장된 영상신호가 갱신됨으로써 화상이 표시된다. 따라서, 선행 기술에서는 CPU의 내부 회로가 모두 동작해야만 했던 것과는 반대로 CPU(2406)의 내부 회로 중, 영상신호 처리회로(2407), VRAM(2411) 및 표시장치(2413)의 소스 신호선 구동회로가 정지 화상 표시 중에 그 동작을 중단할 수 있다.

상기 단락의 구체적인 예를 이하 설명할 것이다. 펜 터치 태블릿(2401)을 통한 입력이 일정 기간 부족되는 경우 또는 화상 표시를 바꾸라는 신호가 외부 인터페이스 포트(2405)로부터 일정 기간 입력되지 않는 경우 CPU(2406)는 표시장치가 정지 화상 모드에 있다고 판단한다. 이러한 판단을 내리면서, CPU(2406)는 다음과 같이 동작한다. CPU는 LCD 제어기(2412)를 통해 표시장치(2413)의 소스 신호선 구동회로를 중단시킨다. 보다 구체적으로 설명하면, 스타트 펄스, 클럭 신호 및 영상신호가 소스 신호선 구동회로에 공급되는 것을 차단하여 소스 신호선 구동회로의 동작을 중단시킨다. 이 시점에서, 게이트 신호선 구동회로는 그의 동작을 중단하지 않고 기억회로로부터 데이터를 반복해서 판독하라는 신호를 수신받는다.

게이트 신호선 구동회로는 일반적으로 소스 신호선 구동회로를 구동하는데 사용되는 주파수의 1/100 배 이상의 주파수로 구동된다. 따라서, 게이트 신호선 구동회로는 정지 화상 표시 중에 동작을 중단하더라도 전력 소비에 크게 영향을 주지 않는다. 물론, 사용된 액정 물질이 번인(burn-in) 현상과 같은 화상 품질과 관련된 문제를 유발하지 않는다면 게이트 신호선 구동회로의 동작을 중단시킬 수도 있다. 그리하여, 표시장치(2413)는 소스 신호선 구동회로 단락 또는 소스 신호선 구동회로와 게이트 신호선 구동회로 둘다의 동작을 중단시킨 채로 정지 화상을 표시한다.

다음으로, CPU(2406)는 CPU(2406)내 영상신호 처리회로(2407) 및 VRAM(2411)의 동작을 중단시킨다. 표시장치(2413)는 상기와 같이 표시장치에 제공된 기억회로에 저장된 비디오 데이터를 이용하여 화상을 표시한다. 따라서, 비디오 데이터의 발생 및 처리와 관련된 영상신호 처리회로(2407), VRAM(2411) 및 기타 회로는 정지 화상 표시 중에 동작할 필요가 없다. 이러한 방식으로, CPU(2406), VRAM(2411) 및 소스 신호선 구동회로에서의 전력 소비를 줄일 수 있다.

영상신호를 입력하기 위해 펜 터치 태블릿(2401)을 이용하여 신호를 입력하는 경우, 표시 내용을 바꾸라는 명령이 펜 터치 태블릿의 검출 회로(2402)로부터 태블릿 인터페이스(2418)를 통해 CPU(2406)로 전달된다. 명령을 수신받으면, CPU(2406)는 동작을 중단했던 VRAM(2411) 및 영상신호 처리회로(2407)를 작동시킨다. 이어서, LCD 제어기(2412)를 통해 스타트 펄스, 클럭 신호 및 비디오 데이터가 표시장치(2413)의 소스 신호선 구동회로에 공급되며 화소에 새로운 영상신호가 기입된다.

이러한 방식으로, 휴대형 정보 단말기는 도 24에 점선으로 둘러싸인 회로(즉, 게이트 신호선 구동회로, LCD 제어기(2412), 펜 터치 태블릿(2401), 검출 회로(2402) 및 태블릿 인터페이스(2418))들이 동작하는 한 정지 화상을 계속해서 표시할 수 있다.

도 25는 본 발명이 적용된 휴대 전화기의 예를 도시하고 있다. 휴대 전화기는 일반적으로 도 24의 휴대형 정보 단말기가 동작하는 방식과 같은 방식으로 동작한다. 휴대 전화기와 휴대형 정보 단말기의 차이점은 휴대 전화기는 데이터 입력을 위해 키보드(2501)를 사용하고, 키보드 인터페이스(2518)를 통해 CPU(2506)에 의해 제어된다는 것이다. 다른 차이점은 외부 데이터가 전화 서비스 업체의 통신 시스템을 통해 단말로 입력되고 CPU(2506)에 의해 제어되는 송신/수신 회로(2515)에 의해 증폭된다는 것이다. 정지 화상을 표시할 경우, 휴대형 정보 단말기와 마찬가지로, 영상신호 처리회로(2507), VRAM(2511) 및 소스 신호선 구동회로가 중단될 수 있다.

이러한 방식으로, 휴대 전화기는 도 25에 점선으로 둘러싸인 회로(즉, 게이트 신호선 구동회로, LCD 제어기(2512), 키보드(2501), 키보드 인터페이스(2518))들이 동작하는 한 정지 화상을 계속해서 표시할 수 있다.

이하 본 발명의 실시예에 대해 서술할 것이다.

#### <실시예 1>

이 실시예는 실시 형태에 서술된 회로의 화소를 구체적인 구조(트랜지스터 및 기타 부품의 배치) 및 동작과 관련하여 서술할 것이다.

도 801 D/A(111)를 구성하는 회로를 제외하고는 도 1에 도시된 것과 유사한 화소를 도시하고 있다. 도 8에서, 도 1과 동일한 부품은 같은 도면 부호를 지정하였다. 기억회로(105, 106, 107)가 각각 기입 TFT(108, 109, 110)에 접속되어 있고 기억회로 선택 신호선(기입 게이트 신호선)(102, 103, 104)에 의해

각각 제어된다.

도 4는 기억회로 일례를 도시하고 있다. 점선 프레임(450)으로 둘러싸인 면적이 기억회로 1개(도 8의 105, 106 또는 107에 해당)이고, 451이 기입 TFT 1개(도 8의 108, 109 또는 110에 해당)이다. 여기 도시된 기억회로(450)는 플립-플롭을 이용하는 스테이틱 랜덤 액세스 메모리 장치(SRAM)이다. 그러나 기억회로가 이 구조에 제한되지 않는다.

도 8에 도시된 이 실시예의 회로는 도 3A 및 도 3B를 참조하여 실시형태에 서술된 타이밍 차트에 따라 구동될 수 있다. 회로의 동작과 기억회로 선택 유닛을 실질적으로 구동시키는 방법을 도 3A, 도 3B 및 도 8을 참조하여 서술할 것이다. 도 3A, 도 3B 및 도 9에 사용된 도면 부호를 사용하여 서술할 것이다.

먼저, 도 3A와 도 3B를 살펴본다. 도 3A에서, 각 프레임 기간은  $\alpha$ ,  $\beta$  및  $\gamma$ 로 지정되어 있으며, 그에 대해 설명할 것이다. 첫번째로, 프레임 기간  $\alpha$ 에서의 회로 동작에 대해 서술할 것이다.

시프트 레지스터로부터 제2 래치 회로로 구동하는 방법은 본 발명의 실시 형태에 도시된 바와 같으므로, 본 방법은 그에 따른다.

I 기간에, 펄스가 기입 게이트 신호선(102)에 입력되어 TFT(108)가 도통 상태가 되면, 디지털 신호가 기억회로(105)에 기입된다. 이어서, II 기간에, 펄스가 기입 게이트 신호선(103)에 입력되어 기입 TFT(109)가 도통 상태가 되면, 디지털 신호가 기억회로(106)에 기입된다. 마지막으로, III 기간에, 펄스가 기입 게이트 신호선(104)에 입력되어 기입 TFT(110)가 도통 상태가 되면, 디지털 신호가 기억회로(107)에 기입된다.

이 때, 1 수평 기간 분의 디지털 신호를 위한 처리 과정이 완료된다. 도 3B에 도시된 기간은 도 3A에  $\times$ 로 표시된 기간이다. 상기 작업을 최종 단계까지 수행하면, 1 프레임 분의 디지털 신호가 기억회로(105) 내지 (107)에 기입된다.

기입된 디지털 신호는 D/A(111)에 의해 아날로그 신호로 변환되고, 아날로그 신호는 액정 소자에 입력된다. 액정 소자는 입력된 아날로그 신호에 따라 투과율을 변화시켜 계조를 제공한다. 이 때 신호는 3 비트 신호이기 때문에 0 내지 7 범위, 즉 전체 8 단계의 휘도를 얻을 수 있다.

그리하여, 1 프레임 기간에 해당하는 데이터가 표시된다. 이와 동시에, 구동회로는 다음 프레임 기간의 디지털 회로를 처리한다.

상기 절차를 반복하여 화상이 표시된다.

정지 화상을 표시할 때, 특정 프레임의 디지털 신호가 기억회로에 모두 기입되면, 소스 신호선 구동회로는 중단되고 기억회로에 기입된 동일한 신호가 새로운 프레임 마다 판독되어 정지 화상을 표시하기 시작한다.

도 8에 도시되지 않은 다른 방법이 있을 수 있다. 그 다른 방법에서는 각 화소의 기억회로 출력에 판독 TFT를 통해 D/A에 입력되고, 판독 TFT를 동작시켜 새로운 프레임 마다 신호를 기억회로로부터 반복해서 판독한다. 판독 TFT를 동작시키는 회로는 모든 공지된 구조가 가능하다.

기억회로에 입력되는 신호를 D/A 회로에 항상적으로 입력하고, 대응하는 아날로그 신호를 액정 소자로 출력하는 또 다른 방법으로 정지 화상을 표시할 수도 있다. 이 경우에는 기입 TFT가 선택되어 정보가 기억회로에 새롭게 기입될 때까지 같은 휘도의 표시가 수행된다. 이 구동방법은 상기한 판독 TFT 등이 필요 없다.

이러한 방식으로 정지 화상 표시 중에 전류 소비를 크게 줄일 수 있다.

#### <실시예 2>

이 실시예는 신호가 화소부의 기억회로에 도트 순으로 기입되는 소스 신호선 구동회로의 제2 래치 회로가 필요 없는 경우에 대해 서술할 것이다.

도 5는 기억회로를 갖는 화소를 이용하는 액정표시장치의 소스 신호선 구동회로 및 화소 일부의 구조를 도시한 도면이다. 이 회로는 3 비트 디지털 계조 신호를 처리할 수 있으며, 시프트 레지스터 회로(SR)(501), 래치 회로(LAT1)(502) 및 화소(503)를 포함한다. 도면 부호 510은 게이트 신호선 구동회로 등으로부터 직접 공급되는 신호를 나타내며, 이후 화소에 대한 설명하면서 서술할 것이다.

도 6은 도 5의 화소(503) 중 하나의 상세한 회로 구조를 나타내는 도면이다. 실시예 1에서와 같이, 화소는 3 비트 디지털 계조 신호용이며, 액정 소자(LC), 보유 용량(Cs), 기억회로(605 내지 607), D/A(D/A 변환기(611)), 등으로 구성되어 있다. 도면 부호 601은 제1 비트(MSB) 신호 소스 신호선을 나타내고, 602는 제2 비트 신호 소스 신호선을 나타내고, 603은 제3 비트(LSB) 신호 소스 신호선을 나타낸다. 도면 부호 604는 기입 게이트 신호선을 나타내고, 608 내지 610은 기입 TFT를 나타낸다.

도 7A 및 도 7B는 이 실시예에 도시되는 회로의 구동에 대한 타이밍 차트이다. 도 6 및 도 7A 및 도 7B를 참조하여 서술할 것이다.

시프트 레지스터 회로(501)와 래치 회로(LAT1)의 동작은 본 발명의 실시형태 및 실시예 1과 동일하다. 도 7B에 도시된 바와 같이, 제1 단계에서 래치 동작이 종료되면, 즉시 화소의 기억회로에 대한 기입이 시작된다. 펄스가 기입 게이트 신호선(604)에 입력되어, 기입 TFT(608 내지 610)가 도통 상태가 되면 기억회로는 기입이 가능한 상태가 된다. 비트별로 분류되고 래치 회로(502)에 보유된 디지털 신호는 3개의 소스 신호선(601 내지 603)을 통해 동시에 기억회로에 기입된다.

래치 회로에 보유된 디지털 신호가 제1 단계에서 기억회로에 저장되는 중에, 샘플링 펄스에 따라 다음 단계의 디지털 신호가 래치 회로에 보유된다. 이러한 방식으로 기억회로에 대한 기입이 순차적으로 수행된다.



상기 동작이 최종 단계까지 반복되면 1 수평 기간이 완료된다.

도 78의 기간들은 도 7A에  $\times\times$ 로 표시된 기간에 해당한다.

동일한 동작이 수평 기간 1-480 전체 동안 수행된다.

이어서, 제1 프레임에 위한 표시 기간이 완료된다. 기간  $\beta$ 에 다음 프레임의 디지털 신호가 처리된다.

상기 절차를 반복하여 화상이 표시된다. 정지 화상을 표시할 때, 특정 프레임의 디지털 신호가 기억회로에 모두 기입되면, 소스 신호선 구동회로는 중단되고 기억회로에 기입된 동일한 신호가 새로운 프레임마다 판독되어 정지 화상을 표시하기 시작한다. 이러한 방식으로, 정지 화상 표시 중에 전력 소비를 크게 줄일 수 있다. 또한, 래치 회로의 수를 실시 형태의 래치 회로 수의 반으로 줄일 수 있다. 따라서, 이 실시예는 회로 배치에 필요한 공간을 절약할 수 있으며, 표시장치의 전체 크기를 줄일 수 있다.

#### <실시예 3>

이 실시예는 제2 래치 회로를 갖지 않는 실시예 2에 서술된 액정표시장치의 회로 구조가 적용되고, 도트 순차 구동 방식으로 화소 내 기억회로에 신호를 기입하는 액정표시장치의 예에 대해 서술할 것이다.

도 17은 이 실시예에 따른 액정표시장치의 소스 신호선 구동회로의 회로 구조를 나타내는 도면이다. 이 회로는 3 비트 디지털 계조 신호를 처리할 수 있으며, 시프트 레지스터 회로(1701), 래치 회로(1702), 스위치 회로(1703) 및 화소(1704)로 구성되어 있다. 도면 부호 1710은 게이트 신호선 구동회로로부터 또는 외부로부터 직접 공급되는 신호를 나타낸다. 화소의 회로 구조는 실시예 2에 서술된 구조와 동일하며, 따라서, 도면 부호는 도 6과 동일하게 지정하였다.

도 18A 및 도 18B는 이 실시예에 서술되는 회로의 구동에 대한 타이밍 차트이다. 도 6, 도 17 및 도 18A 및 도 18B를 참조하여 서술할 것이다.

샘플링 펄스가 시프트 레지스터 회로(1701)로부터 출력되고, 그 샘플링 펄스에 따라 디지털 신호가 래치 회로(1702)에 보유되는 동작은 실시예 1 및 2에 서술된 것과 동일하다. 이 실시예에서는, 스위치 회로(1703)가 래치 회로(1702)와 화소(1704)의 기억회로 사이에 개재되어 있다. 따라서, 래치 회로에 디지털 신호가 모두 보유되어도, 기억회로에 대한 기입이 그 즉시 시작되지 않는다. 스위치 회로(1703)는 도트 데이터 샘플링 기간이 완료될 때까지 닫혀진 채로 유지되며, 스위치 회로가 닫혀있는 한 래치 회로는 계속해서 디지털 신호를 보유한다.

도 18B에 도시된 바와 같이, 하나의 수평 기간에 해당하는 디지털 신호가 보유되면, 귀선 기간에 래치 신호(래치 펄스)가 입력되어 스위치 회로(1703)가 모두 열시에 열린다. 이어서, 래치 회로(1702)에 보유된 디지털 신호가 화소(1704) 내 기억회로에 동시에 기입된다. 이 기입 동작과 관련된 화소(1704)의 동작 그리고 다음 프레임 기간 표시를 위한 판독 동작과 관련된 화소(1704)에서의 동작은 실시예 2와 동일하며, 따라서, 그에 대한 서술을 여기에서는 생략한다.

도 18B의 기간들은 도 18A에  $\times\times\times$ 로 표시된 기간에 해당한다.

이러한 방식으로, 소스 신호선 구동회로가 제2 래치 회로를 갖지 않는 경우에도 도트 순차 방식에 따라 쉽게 동작할 수 있다.

#### <실시예 4>

이 실시예는 복수개의 계조 전압선을 선택하는 유형의 D/A 변환기를 사용하는 경우에 대해 서술할 것이다. 도 80이 이러한 회로의 다이어그램을 도시하고 있다.

회로가 3 비트 디지털 신호를 처리하는 경우, 8개 계조 전압선이 제공되며, 전압선들은 각각 스위치 TFT에 접속되어 있다. 디코더에 의해 스위치 TFT를 선택적으로 구동시키는데는 기억회로의 출력이 이용된다. 스위치 TFT는 전송 게이트를 사용할 수 있다.

도 80에서, 기억회로(105 내지 107)의 출력은 기억회로에 저장된 신호 및 저장된 신호의 반전 신호로 이루어져 있다.

이 실시예는 실시예 1-3과 자유롭게 조합될 수 있다.

#### <실시예 5>

이 실시예는 도 8을 참조하여 실시예 4에서 서술한 것과 다른 구조를 갖는 D/A 변환기를 사용하는 경우에 대해 서술할 것이다. 도 9가 이러한 회로도들 도시하고 있다.

이 실시예의 회로는 도 8을 참조하여 실시예 4에서 서술한 것과 유사한 복수개의 계조 전압선을 선택하는 유형이다. 도 8의 회로는 여러 부품을 갖고 있으며, 따라서, 화소 내 큰 면적을 차지한다. 도 9에서는, 스위치 회로가 직렬로 연결되어 스위치가 디코더로서도 작용할 수 있기 때문에 부품의 수를 줄일 수 있다. 스위치는 전송 게이트를 사용할 수 있다.

도 9에서 기억회로(105 내지 107)의 출력은 기억회로에 저장된 신호 및 저장된 신호의 반전 신호로 이루어져 있다.

이 실시예는 실시예 1-3과 자유롭게 조합될 수 있다.

#### <실시예 6>

이 실시예는 도 8 및 도 9를 참조하여 실시예 4 및 5에서 서술한 것과 다른 구조를 갖는 D/A 변환기를 사용하는 경우에 대해 서술할 것이다. 도 20이 이러한 회로의 다이어그램을 도시하고 있다.

도 8 및 도 9에 도시된 D/A 변환기는 계조 수에 해당하는 수 만큼 배선을 필요로 하는 계조 전압선을 이용한다. 따라서, 도 8 및 도 9의 변환기는 멀티 계조에 적합하지 않다. 도 20의 변환기에서, 참조 전압

은 용량(C1-C3)의 조합에 따라 계조 전압을 제공하도록 나뉘어져 있다. 이러한 커패시턴스 분할 방법은 용량(C1-C3)의 비율에 따라 계조를 얻으며, 따라서 다양한 계조 표시가 가능하다.

커패시턴스 분할 방법의 D/A 변환기가 AMLCD99, Digest of Technical Papers pp. 29-32에 기재되어 있다.

이 실시예는 실시예 1-3과 자유롭게 조합될 수 있다.

#### <실시예 7>

이 실시예는 도 8, 도 9 및 도 20을 참조하여 실시예 4, 5 및 6에서 서술한 것과 다른 구조를 갖는 D/A 변환기를 사용하는 경우에 대해 서술할 것이다. 도 21이 이러한 회로의 다이아그램을 도시하고 있다.

도 21에 도시된 변환기는 도 20을 참조하여 실시예 6에서 서술한 D/A 변환기를 보다 단순화하여 얻은 회로이다. 각각의 용량 C1, C2 및 C3의 두 전극 중 액정 소자에 접속되지 않은 전극은 리셋시에는  $V_{cc}$ 에 접속되고 그 밖의 기간에는  $V_{ss}$  또는  $V_{cc}$ 에 접속된다. 이러한 접속은 스위치 만으로 가능할 수 있다. 스위치는 전송 게이트를 사용할 수 있다.

도 21에서, 기억회로(105 내지 107)의 출력은 기억회로에 저장된 신호 및 저장된 신호의 반전 신호로 이루어져 있다.

이 실시예는 실시예 1-3과 자유롭게 조합될 수 있다.

#### <실시예 8>

도 22에 도시된 바와 같이, 소스 신호선 구동회로의 래치 회로가 1 비트 데이터 처리에만 필요한 수만을 제공되어 있다. 적은 수를 보상하기 위해, 소스 신호선 구동회로는 3배 빨리 동작하며, 제1 비트 데이터, 제2 비트 데이터, 제3 비트 데이터가 1 선 기간에 소스 신호선 구동회로에 순서대로 입력된다. 따라서, 이 실시예의 소스 신호선 구동회로는 실시예 1과 동일한 효과를 낼 수 있다.

이 방법은 데이터를 순서대로 대체하는 외부 회로를 필요로 하지만, 소스 신호선 구동회로의 크기를 줄일 수 있다.

#### <실시예 9>

이 실시예에서는, 화소부 및 그의 주변에 제공된 구동회로부들(소스 신호선 구동회로, 게이트 신호선 구동회로 및 화소 선택 구동회로)의 TFT를 동시에 제조하는 방법에 대해 서술할 것이다. 그러나, 설명을 간략히 하기 위해, 구동회로의 기본 회로인 CMOS 회로를 도면에 도시하였다.

먼저, 도 10A에 도시된 바와 같이, 산화규소막, 질화규소막 또는 질화산화규소막과 같은 절연막으로 제조되는 하지막(5002)을 바륨 보로실리케이트 유리 또는 알루미늄 보로실리케이트 유리와 같은 유리(대표적으로 코닝사의 #7059 유리 또는 #1737 유리)로 제조된 기판(5001) 상에 형성한다. 예를 들면, 플라즈마 CVD법에 의해 SiH<sub>4</sub>, NH<sub>3</sub> 및 N<sub>2</sub>O로 제조되는 질화산화규소막(5002a)을 10 내지 200 nm (바람직하게는 50 내지 100 nm) 두께로 형성하고, SiH<sub>4</sub> 및 N<sub>2</sub>O로 유사하게 제조되는 수소첨가된 질화산화규소막(5002b)을 50 내지 200 nm (바람직하게는 100 내지 150 nm) 두께로 형성한다. 실시양태 4에서는, 기저막(5002)을 2층 구조로 도시하였지만, 상기 절연막의 단일층 막 또는 2층 이상의 적층 구조로 형성할 수도 있다.

비정질 구조를 갖는 반도체막 상에 레이저 결정화 방법을 이용하거나, 공지된 열결정화 방법을 이용하여 제조되는 결정질 반도체막으로 선행 반도체층(5003 내지 5006)을 형성한다. 선행 반도체층(5003 내지 5006)의 두께는 25 내지 80 nm(바람직하게는 30 내지 60 nm)으로 설정한다. 결정질 반도체막 재료에 대한 제한은 없지만, 규소 또는 규소 게르마늄(SiGe) 합금으로 막을 형성하는 것이 바람직하다.

레이저 결정화 방법으로 결정성 반도체막을 제조하기 위해 펄스 발진형 또는 연속 방출형 엑시머 레이저, YAG 레이저, 또는 YVO<sub>4</sub> 레이저와 같은 레이저를 사용한다. 이러한 레이저를 사용하는 경우에는 레이저 발진기로부터 방사되는 레이저광을 광학계에 의해 전형 빔으로 집광한 상태에서 반도체막에 조사하는 방법을 사용하는 것이 적합하다. 엑시머 레이저를 사용하는 경우에는 작업자가 결정화 조건을 적절히 선택해야 하지만, 발진 주파수는 30Hz로 설정하고, 레이저 에너지밀도는 100 내지 400 mJ/cm<sup>2</sup>(전형적으로는 350 내지 500 mJ/cm<sup>2</sup>)로 설정한다. 또한, YAG 레이저를 사용하는 경우에는 제2 고조파를 사용하고, 펄스 발진 주파수를 1 내지 10 kHz로 설정하고, 레이저 에너지밀도를 300 내지 600 mJ/cm<sup>2</sup>(전형적으로는 350 내지 500 mJ/cm<sup>2</sup>)로 설정하는 것이 바람직하다. 이러한 조건하에서는 100 내지 1,000  $\mu$ m, 예를 들면, 400  $\mu$ m의 폭을 갖는 선형 구조로 집광된 레이저광이 기판의 표면 전체에 조사된다. 이때의 선형 레이저광의 중첩비는 80 내지 98%로 설정된다.

다음으로, 상기 선행 반도체층(5003 내지 5006)을 덮는 게이트 절연막(5007)을 형성한다. 이 게이트 절연막(5007)은 플라즈마 CVD법 또는 스퍼터링법을 이용하여 규소를 함유하는 절연막을 40 내지 150 nm의 두께로 형성한다. 실시양태 4에서는, 상기 게이트 절연막(5007)을 120 nm의 두께를 갖는 산화질화규소막으로 형성한다. 물론, 상기 게이트 절연막은 이러한 산화질화규소막으로 한정되지 않고, 규소를 함유하는 다른 절연막을 단일 구조 또는 적층 구조로 하여 사용할 수도 있다. 예를 들면, 산화규소막을 사용하는 경우에는 TEOS(테트라에틸 오르토실리케이트)와 O<sub>2</sub>를 40 Pa의 반응 압력과 300 내지 400°C의 기판 온도에서 플라즈마 CVD 방법에 의해 플라즈마 혼합하고, 고주파수(13.56 MHz)에서 그리고 0.5 내지 0.8 W/cm<sup>2</sup>의 전력밀도를 사용하여 방전을 수행함으로써 상기 막을 형성한다. 이와 같이 하여 형성한 산화규소막을 400 내지 500°C에서 어닐시키면 게이트 절연막의 우수한 특성을 얻을 수 있다.

이 후, 게이트 절연막(5007)상에 게이트 전극을 형성시키기 위해 제1 도전막(5008)과 제2 도전막(5009)을 형성한다. 실시예 9에서는, 제1 도전막(5008)을 50 내지 100 nm의 두께를 갖는 Ta막으로 형성되며, 제2 도전막(5009)을 100 내지 300 nm의 두께를 갖는 W막으로 형성한다.

상기 Ta막은 타겟으로서 Ta를 사용한 상태에서 Ar를 스퍼터링시켜 형성한다. 이 경우, 스퍼터링을 위해

Ar에 적당량의 Xe 또는 Kr를 첨가하는 경우에는 Ta막의 내부응력을 경감시킬 수 있고, 이에 따라 막의 박리를 방지할 수 있다.  $\alpha$ -상 Ta막의 고유저항은 약  $20 \mu\Omega\text{cm}$ 이므로, 이 막은 게이트 전극으로 사용할 수 있지만,  $\beta$ -상 Ta막의 비저항은 약  $180 \mu\Omega\text{cm}$ 이기 때문에, 이 막은 게이트 전극으로 사용하기에 적당하지 않다. Ta의  $\alpha$ -상에 가까운 결정구조를 갖는 질화탄탈을 Ta 베이스로 약 10 내지 50 nm의 두께로 형성하면  $\alpha$ -상 Ta막을 쉽게 형성할 수 있다.

상기  $\Psi$ 막은  $\Psi$ 타겟을 스퍼터링하여 형성한다. 이 외에도  $\Psi$ 막은 텅스텐 헥사플루오라이드( $\Psi\text{F}_6$ )를 사용하여 열 CVD법에 의해 형성할 수 있다. 어느 방법을 사용하던지간에 게이트 전극으로 사용하기 위해서는 사용 물질이 낮은 저항을 가질 필요가 있다.  $\Psi$ 막의 비저항을  $20 \mu\Omega\text{cm}$ 이하로 설정하는 것이 바람직하다. 결정립도를 크게하면  $\Psi$ 막의 비저항을 낮추는 것이 가능하다. 그러나,  $\Psi$ 막내에 산소와 같은 불순물원소가 다량 존재할 경우에는 결정화가 억제되어 저항이 높아지게 된다. 따라서, 99.9999%의 순도를 갖는  $\Psi$ 타겟을 사용하여  $\Psi$ 막을 형성하고, 또한 막형성중에 가스상의 내부로부터 불순물의 혼입이 이루어지지 않도록 충분히 고려를 하면 9 내지  $20 \mu\Omega\text{cm}$ 의 비저항을 실현할 수 있다.

여기서 주지할 점은 실시예 9에서는 비록 Ta막과  $\Psi$ 막을 제1 도전막(5008)과 제2 도전막(5009)로 각기 사용하였지만, 상기 도전막들의 물질에 대한 제한은 없다는 점이다. 제1 도전막(5008)과 제2 도전막(5009)들은 Ta,  $\Psi$ , Ti, Mo, Al, Cu로 구성되는 군에서 선택한 원소, 또는 상기 원소를 주성분으로 함유하는 합금물질 또는 화합물로 형성할 수도 있다. 또한, 대표적으로 인과 같은 불순물이 도핑된 다결정성 실리콘 반도체막을 사용할 수도 있다. 다른 조합의 예로는 제1 도전막은 질화탄탈(TaN)로 형성하고, 제2 도전막은  $\Psi$ 로 형성하여서 되는 조합, 제1 도전막은 질화탄탈(TaN)로 형성하고, 제2 도전막은 Si로 형성하여서 되는 조합, 제1 도전막은 질화탄탈(TaN)로 형성하고, 제2 도전막은 Cu로 형성하여서 되는 조합을 들 수 있다.

이 후, 레지스트로 마스크(5010)를 형성하여 전극들과 배선들을 형성하기 위한 제1 에칭 공정을 수행한다. 실시예 9에서는 유도 결합 플라즈마(ICP: Inductively Coupled Plasma) 에칭 방법을 사용하고, 에칭 가스로서  $\text{CF}_4$  및  $\text{Cl}_2$ 의 혼합물을 사용하여 에칭을 수행하고, 플라즈마를 발생시키기 위해 1 Pa의 압력에서 코일형 전극에 500 W RF(13.56 MHz)의 전력을 입력한다. 또한, 기판측(시료 단계)에는 100 W RF(13.56 MHz)의 전력을 입력하여, 대체로 부(negative)의 자기 바이어스전압을 인가한다.  $\text{CF}_4$ 와  $\text{Cl}_2$ 가 혼합되면,  $\Psi$ 막과 Ta막은 대체로 동일한 속도로 에칭될 수 있다.

상술한 에칭 조건하에서는 레지스트로 구성되는 마스크의 형태가 적당한 형태로 되고, 그 결과 제1 도전막과 제2 도전막의 가장자리부분들이 기판측에 인가되는 바이어스 전압으로 인해 테이퍼 형태를 갖게 된다. 테이퍼부분의 각도는 15 내지  $45^\circ$ 로 설정된다. 게이트 절연막상에 잔유물을 남기지 않고 에칭을 수행할 수 있도록 에칭시간은 10 내지 20% 정도의 비율로 증가시키는 것이 바람직하다.  $\Psi$ 막에 대한 산화 질화규소막의 선택도는 2 내지 4(전형적으로는 3)이고, 이에 따라 산화질화규소막의 노출면은 과도에칭법에 의해 약 20 내지 50 nm의 깊이로 에칭되게 된다. 그리하여, 1차 에칭 공정에 의해 제1 도전막과 제2 도전막으로부터 1차 형태의 도전층(5011 내지 5016)(제1 도전층(5011a 내지 5016a) 및 제2 도전층(5011b 내지 5016b))들이 형성된다. 이 때, 1차 형태의 도전층(5011 내지 5016)이 덮히지 않은 영역에 해당하는 게이트 절연막(5007)의 부분들은 약 20 내지 50 nm의 깊이로 에칭되고, 이에 따라 두께 감소 영역들이 형성된다(도 10A).

이 후, n형 도전성을 부여하는 불순물 원소를 주입하기 위해 1차 도핑처리를 수행한다. 이 도핑은 이온 도핑 또는 이온주입에 의해 이루어질 수 있다. 이온도핑방법을 사용할 때의 조건으로서 도즈량은  $1 \times 10^{14}$  내지  $5 \times 10^{14}$  원자/ $\text{cm}^2$ 으로 하고, 가속전압은 60 내지 100 keV로 한다. n형 도전성을 부여하는 불순물 원소로는 15족에 속하는 원소, 대표적으로 인(P) 또는 비소(As)를 사용할 수 있다. 여기서, 인(P)을 사용한다. 이 경우, 도전층(5011 내지 5016)은 상기 n형 도전성을 부여하는 불순물 원소에 대한 마스크로서 작용하며, 제1 불순물 영역(5017 내지 5020)들이 자기정렬방식으로 형성된다. 상기 제1 불순물 영역(5017 내지 5020)에는 n형 도전성을 부여하는 불순물 원소가  $1 \times 10^{14}$  내지  $1 \times 10^{15}$  원자/ $\text{cm}^2$ 의 농도로 주입된다.(도 10B)

이 후, 도 10C에 도시된 바와 같이, 레지스트 마스크를 제거하지 않고 2차 에칭 공정을 수행한다. 에칭 가스로는  $\text{CF}_4$ ,  $\text{Cl}_2$ ,  $\text{O}_2$ 의 혼합물을 사용하여,  $\Psi$ 막을 선택적으로 에칭한다. 이 때, 2차 에칭 공정에 의해 2차 형태 도전층(5021 내지 5026)(제1 도전층(5021a 내지 5026a) 및 제2 도전층(5021b 내지 5026b))들이 형성된다. 이 때, 2차 형태의 도전층(5021 내지 5026)으로 덮히지 않은 영역에 해당하는 게이트 절연막(5007) 부분들은 약 20 내지 50 nm의 깊이로 에칭된다.

$\text{CF}_4$ 와  $\text{Cl}_2$ 의 혼합가스에 의한  $\Psi$ 막 또는 Ta막의 에칭 반응은 발생하는 라디칼 또는 이온 종들과 반응 생성물의 증가압에 기인하는 것으로 추정된다.  $\Psi$ 와 Ta의 불화물 및 염화물의 증가압을 서로 비교할 때  $\Psi$ 의 불화물중  $\Psi\text{F}_5$ 은 증가압이 아주 높고, 반면  $\text{WCl}_5$ ,  $\text{TaF}_5$ ,  $\text{TaCl}_5$ 들은 대체로 동일한 증가압을 가지고 있다. 따라서,  $\text{CF}_4$ 와  $\text{Cl}_2$ 의 혼합가스에서는  $\Psi$ 막과 Ta막이 모두 에칭된다. 그러나, 상기 혼합가스에 적당량의  $\text{O}_2$ 를 첨가하는 경우에는  $\text{CF}_4$ 와  $\text{O}_2$ 가 서로 반응하여  $\text{CO}$ 와  $\text{F}$ 를 형성시키고, 다량의  $\text{F}$  라디칼 또는  $\text{F}$  이온들을 생성시킨다. 그 결과, 불화물의 높은 증가압을 나타내는  $\Psi$ 막의 에칭속도가 증가하게 된다. 한편, Ta에 비해  $\text{F}$ 를 증가시키더라도 에칭속도는 비교적 약간만 증가하게 된다. 이에 반해 Ta는  $\Psi$ 에 비해 쉽게 산화되기 때문에  $\text{O}_2$ 의 첨가로 인해 Ta의 표면은 쉽게 산화된다. Ta의 산화물은 불소 또는 염소와 반응하지 않기 때문에 Ta막의 에칭속도는 더욱 감소한다. 따라서,  $\Psi$ 막과 Ta막의 에칭속도를 서로 다르게 하는 것이 가능하고, 이에 따라  $\Psi$ 막의 에칭속도를 Ta막의 에칭속도보다 높게하는 것이 가능하다.

이 후, 2차 도핑처리를 도 11A에 도시된 바와 같이 수행한다. 이 경우, 도즈량은 상기 1차 도핑 공정보다 적게 하고, 가속전압을 높게 한 상태에서 n형 도전성을 부여하는 불순물 원소를 도핑시킨다. 예를 들면, 가속전압은 70 내지 120 keV로 하고, 도즈량을  $1 \times 10^{14}$  원자/ $\text{cm}^2$ 으로 하여 도핑처리를 수행함으로써, 도 10B에 도시된 선행 반도체층들이 형성된 제1 불순물 영역 내부에 새로운 불순물 영역들을 형성한다.

상기 도핑은 2차 형태의 도전층(5026 내지 5030)을 마스크로 사용하여 수행하며, 불순물 원소는 제2 도전층(5021a 내지 5026a)의 아래 영역에 주입한다. 이로써, 제2 불순물 영역(5027 내지 5031)을 형성한다. 제2 불순물 영역(5027 내지 5031)에 첨가되는 인의 농도는 제1 도전층(5021a 내지 5026b)의 테이퍼진 부분 두께에 따라 완만한 농도 구배를 갖는다. 유의할 것은 제1 도전층(5021a 내지 5026b)의 테이퍼진 부분과 오버랩되는 반도체 층에서의 불순물의 농도가 제1 도전층(5021a 내지 5026b)의 테이퍼진 부분의 말단에서부터 안쪽으로 갈 수록 약간씩 줄어든다. 농도는 거의 일정하게 유지된다는 것이다.

이 후, 도 118에 도시된 바와 같이, 3차 에칭 공정을 수행한다. 이 공정은  $\text{CHF}_3$ 의 에칭 가스를 사용하는 반응성 이온 에칭 방법(RIE 방법)을 이용하여 수행한다. 제1 도전층(5021a 내지 5026a)의 테이퍼진 부분을 부분적으로 에칭하고, 제1 도전층이 반도체층과 오버랩되는 영역의 두께를 3차 에칭 공정에 의해 줄인다. 3차 형태 도전층(5032 내지 5037)(제1 도전층(5032a 내지 5037a) 및 제2 도전층(5032b 내지 5037b))이 형성된다. 이 때, 2차 형태의 도전층(5032 내지 5037)으로 덮이지 않은 영역에 해당하는 게이트 절연막(5007) 부분들은 약 20 내지 50 nm의 길이로 에칭된다.

3차 에칭 공정에 의해, 제2 불순물 영역(5027 내지 5031)에 제1 도전층(5032a 내지 5037a)와 오버랩되는 제2 불순물 영역(5027a 내지 5031a) 및 제1 불순물 영역과 제2 불순물 영역 사이의 제3 불순물 영역(5027b 내지 5031b)이 형성된다.

이후, 도 119에 도시된 바와 같이, 제1 도전층과 반대의 도전성을 갖는 제4 불순물 영역(5039 내지 5044)을 p채널형 TFT들을 형성하는 성형 반도체층(5004)에 형성한다. 불순물 원소에 대한 마스크로서 제3 도전층(5033b)을 사용하고, 상기 불순물 영역을 자기정렬방식으로 형성한다. 이 때, n형 TFT를 형성하는 상기 성형 반도체층(5003, 5005), 보류 용량부(5006) 및 배선부(5034)들은 레지스트 마스크(5038)들로 덮인다. 이러한 상태에서 불순물 영역(5039 내지 5044)에 인을 각기 다른 농도로 첨가한다. 디보란( $\text{B}_2\text{O}_3$ )

을 사용하는 이온 도핑법에 의해 상기 영역을 형성하며, 불순물 농도는 모든 영역에서  $2 \times 10^{19}$  내지  $2 \times 10^{21}$  원자/cm로 되게 한다.

지금까지의 공정에 의해 불순물 영역들이 각각의 성형 반도체층에 형성된다. 성형 반도체층과 오버랩되는 3차 형태 도전층(5032, 5033, 5035 및 5036)은 게이트 전극으로서 작용하게 된다. 도면 부호 5034는 성형 소스 신호선으로서 작용한다. 도면 부호 5037은 용량 배선으로 작용한다. 또한 배선부(5031)는 성형의 소스 신호선으로서 작용하게 된다.

이 후, 레지스트 마스크(5038)를 제거하고, 도전 형태를 제어할 목적으로 각각의 성형 반도체층에 첨가된 불순물원소를 활성화시키는 단계를 수행한다. 이 공정은 퍼니스 어닐 오븐(furnace annealing oven)을 사용하는 열 어닐 방법에 의해 수행한다. 이 외에, 레이저 어닐 방법 또는 금속 열 어닐 방법(RTA)을 적용할 수도 있다. 상기 열 어닐 방법은 400 내지 700°C, 전형적으로는 500 내지 600°C의 온도에서, 그리고 1 ppm이하, 바람직하게는 0.1 ppm이하의 산소 농도를 갖는 질소 분위기에서 수행한다. 실시예 9에서는 500°C에서 4시간 열처리를 수행한다. 그러나, 3차 도전층(5037 내지 5042)용으로 사용하는 배선 물질이 열에 약한 경우에는 상기 배선 등을 보호할 수 있도록 층간절연막(주성분으로서 규소를 함유하는)을 형성한 후 활성화를 수행하는 것이 바람직하다.

또한, 3 내지 100%의 수소를 함유하는 분위기에서 그리고 300 내지 450°C의 온도에서 1 내지 12시간동안 열처리를 하여 상기 성형 반도체층들을 수소화시키는 단계를 수행한다. 이 단계는 열적으로 여기된 수소를 이용하여 반도체층의 결함립들을 종식시키는 공정이다. 다른 수소화 수단으로서 플라즈마 수소화(플라즈마에 의해 여기된 수소를 이용)를 수행할 수도 있다.

이 후, 산화질화규소막을 이용하여 제1 층간절연막(5045)을 100 내지 200 nm의 두께로 형성하고, 그 상부에 유기절연물질을 사용하여 제2 층간절연막(5046)을 형성한다. 그 뒤에, 에칭을 수행하여 콘택홀을 형성한다.

다음으로, 성형 반도체층의 소스 영역에 접촉하는 소스 배선(5047, 5048)과 성형 반도체층의 드레인 영역에 접촉하는 드레인 배선(5049)을 구동회로부에 형성한다. 화소부에는, 접속 전극(5050)과 화소 전극(5051, 5052)을 형성한다(도 12A). 접속 전극(5050)에 의해 소스 신호선(5034)과 화소 TFT간의 전기적 접속이 이루어진다. 유의할 것은 화소 전극(5052)과 저장 용량 화소에 인접해야 한다는 것이다.

그리하여, n채널형 TFT와 p채널형 TFT를 갖는 구동회로부 및 화소 TFT와 저장 용량을 갖는 화소부를 기판 상에 형성할 수 있다. 이러한 기판은 본원에서는 액티브 매트릭스 기판을 나타낸다.

또한, 블랙 매트릭스를 사용하지 않고 화소 전극들 사이의 공간을 차광하기 위해 전극의 말단부를 소스 신호선 및 게이트 신호선에 오버랩되도록 배치한다.

또한, 이 실시예 9에 서술된 방법에 따라 5개 포토마스크 패턴, 즉, 성형 반도체층 패턴, 제1 배선 패턴(소스 신호선, 게이트 신호선, 용량 배선), p채널 영역용 마스크패턴, 콘택 홀 패턴, 그리고 제2 배선 패턴(화소전극과 접속전극을 포함)을 사용하여 액티브 매트릭스 기판을 제조할 수 있다. 그 결과, 제조 공정을 단축시킬 수 있고, 제조비의 감소와 수율의 개선을 이룰 수 있다.

다음으로, 도 12A에 예시된 바와 같은 액티브 매트릭스 기판을 얻은 후, 배향막(5053) 액티브 매트릭스 기판 상에 형성하고(도 12B), 러빙 처리를 수행한다.

대향 기판(5054)을 제조한다. 컬러 필터층(5055 내지 5057)과 오버코트층(5058)을 상기 대향 기판(5054) 상에 형성한다. 컬러 필터층은 적색 필터층(5056)과 청색 필터층(5056)이 TFT 상에 오버랩되어 차광막으로도 작용하는 구조를 갖는다. 적어도 TFT, 접속 전극 및 화소 전극 중의 공간들은 차광해야 하기 때문에, 그러한 공간들을 차광할 수 있도록 적색 필터와 청색 필터를 오버랩되게 배치한다.

적색 필터층(5055), 청색 필터층(5056) 및 녹색 필터층(5057)을 접속 전극(5050)과 정렬되게 적층시켜 스페이서를 형성한다. 각각의 컬러 필터는 적당한 안료를 아르칼리게 수지 중에 혼합하여 형성하며, 두께 1 내지 3  $\mu\text{m}$ 로 형성한다. 이들 색 필터는 감광성 재료를 이용하여 마스크에 의해 예정된 패턴으로 형성할

수 있다. 오버코트층(5058)의 두께가 1 내지 4  $\mu\text{m}$ 인 것을 감안할 때, 스페이서의 높이는 2 내지 7  $\mu\text{m}$ , 바람직하게는 4 내지 6  $\mu\text{m}$ 일 수 있다. 이 높이는 액티브 매트릭스 기판과 대향 기판이 서로 부착되었을 때 갭을 형성한다. 오버코트층(5058)은 폴리이미드 수지 또는 아크릴 수지와 같은 광경화성 또는 열경화성 유기 수지 물질로 형성한다.

스페이서의 배치는 임의로 결정할 수 있다. 예를 들면, 도 128에 도시된 바와 같이, 스페이서를 접속 전극(5050)과 정렬되도록 대향 기판 상에 배치할 수 있다. 또는, 스페이서를 구동회로부의 TFT와 정렬되도록 대향 기판 상에 배치할 수 있다. 이러한 스페이서는 구동회로부 표면 전체에 배치할 수 있고, 또는 소스 배선 및 드레인 배선을 덮도록 배치할 수 있다.

오버코트층(5058)을 형성한 후, 대향 전극(5059)을 패터닝하여 형성하고, 배향막(5060)을 형성하고, 러빙 처리한다.

이어서, 화소부와 구동회로부를 표면에 갖는 액티브 매트릭스 기판을 밀봉 부재(5062)를 이용하여 대향 기판에 부착한다. 충전제를 밀봉 부재(5062) 중에 혼합하며, 두 기판은 충전제와 스페이서에 의해 일정한 간격을 두고 서로 부착된다. 이후, 액정 물질(5061)을 기판들 사이에 주입하고, 밀봉재(도시 안됨)로 완전히 밀봉한다. 액정 물질(5061)은 공지된 액정 물질을 사용할 수 있다. 이로써, 도 128에 도시된 액티브 매트릭스 액정표시장치가 완성된다.

상기 공정으로 형성되는 TFT는 탑-게이트 구조이지만, 본 발명은 바닥-게이트 구조 TFT 및 기타 다른 구조 TFT에도 쉽게 적용될 수 있다는 것이다.

또한, 이 실시예에서는 유리 기판을 사용했지만, 여기에 제한되지 않는다. 플라스틱 기판, 스테인레스 기판 및 단결정 웨이퍼와 같은 유리 기판 이외의 것을 사용할 수 있다.

이 실시예는 실시예 1 내지 실시예 8과 자유롭게 조합되어 수행될 수 있다.

#### <실시예 10>

본 발명의 액정표시장치는 화소부에 복수개의 기억회로를 갖기 때문에 화소 1개를 구성하는 부품의 수가 일반적인 화소 보다 더 많다. 만일 액정표시장치가 투명형이라면, 개구율이 낮아 충분한 휘도를 제공할 수 없을 것이다. 따라서, 본 발명은 반사형 액정표시장치에 적용하는 것이 바람직하다. 이 실시예는 반사형 액정표시장치를 제조하는 예를 도시한다.

실시예 9에 기재된 설명대로 도 19A에 도시된 액티브 매트릭스 기판(도 12A에 도시된 것과 유사한 기판)을 제조한다. 이어서, 수지막을 제3 중간 절연막(5201)으로 형성한다. 이후, 콘택트 홀을 화소 전극부에 개방시켜 반사형 전극(5202)을 형성한다. 반사 전극(5202)으로는 Ag와 Ag를 주요 성분으로 하는 막 또는 이들 막의 적층막과 같은 반사성이 우수한 재료를 사용하는 것이 바람직하다.

대향 기판(5054)을 제조한다. 이 실시예에서는 대향 기판(5054) 상에 대향 전극(5205)을 패터닝하여 형성한다. 대향 기판(5205)은 투명 도전막으로 형성한다. 투명 도전막으로는 산화인듐과 산화주석(이후 ITO로 칭함)의 화합물 또는 산화인듐과 산화아연의 화합물로 형성한 재료를 사용할 수 있다.

구체적으로 제시하지는 않지만, 컬러 액정표시장치를 형성할 때는 색필터층을 형성한다. 이 때, 구조는 여러 색의 이웃한 색필터층들이 서로 오버랩되도록 형성하며, TFT로 작용하는 영역의 차광막으로도 작용하게 하는 것이 바람직하다.

이어서, 배향막(5203, 5204)을 액티브 매트릭스 기판과 대향 기판 상에 형성하고, 러빙 공정을 수행한다.

다음으로, 화소부와 구동회로부를 갖는 액티브 매트릭스 기판과 대향 기판을 밀봉 부재(5206)로 함께 페이스팅 처리한다. 밀봉 부재(5206)를 충전제와 혼합하고, 두 기판을 합쳐 이 충전제와 스페이서로 일정한 간격을 두고 페이스팅한다. 이어서, 두 기판 사이에 액정 물질(5207)을 주입하고, 밀봉재(도시 안됨)로 완전히 밀봉한다. 액정 물질(5207)로는 공지된 액정 물질을 사용할 수 있다. 이로써, 도 19B에 도시된 반사형 액정표시장치를 완성한다.

이 실시예에서는 유리 기판 이외에, 플라스틱 기판, 스테인레스 기판, 단결정성 웨이퍼 등을 사용할 수 있다.

또한, 본 발명은 화소의 1/2은 반사형 전극을 갖고 나머지 1/2은 투명 전극을 갖는 반투명형 표시 장치를 형성하는 경우에 쉽게 적용될 수 있다.

이 실시예는 실시예 1 내지 8과 자유롭게 조합될 수 있다.

#### <실시예 11>

이 실시예에서는 본 발명의 액정표시장치를 제조하는 방법의 일례를 도 27A 내지 도 27C를 참조하여 서술할 것이다.

도 27A는 TFT 기판 및 대향 기판 사이에 액정이 봉입된 액정표시장치의 상면도이다. 도 27B는 도 27A의 A-A' 선을 따라 절취한 단면도이다. 도 27C는 도 27A의 B-B' 선을 따라 절취한 단면도이다.

TFT 기판(4001) 상에 형성된 화소부(4002), 소스 신호선 구동회로(4003) 및 제1 및 제2 게이트 신호선 구동회로(4004a, 4004b)를 둘러싸도록 밀봉 부재(4009)가 제공되어 있다. 화소부(4002), 소스 신호선 구동회로(4003) 및 제1 및 제2 게이트 신호선 구동회로(4004a, 4004b) 상에는 대향 기판(4008)이 배치되어 있다. TFT 기판(4001), 밀봉 부재(4009) 및 대향 기판(4008)으로 둘러싸인 공간에는 액정(4210)이 채워져 있다.

TFT 기판(4001) 상에 형성된 화소부(4002), 소스 신호선 구동회로(4003) 및 제1 및 제2 게이트 신호선 구동회로(4004a, 4004b)는 복수개의 TFT를 갖는다. 도 27B에 대표적으로 구동 TFT(4201)와 화소 TFT(4202)가 도시되어 있다. 화소 TFT(화소 전극에 인가되는 전압을 제어하는 TFT)(4202)는 화소부

(4002)에 포함된다.

이 실시예에서는, 공지된 방법으로 형성되는 p채널형 TFT 및 n채널형 TFT를 구동 TFT(4201)로 사용하고, 공지된 방법에 의해 형성되는 p채널형 TFT를 화소 TFT(4202)로 사용한다. 화소부(4002)에는 화소 TFT(4202)에 전기적으로 접속된 보유 용량(도시안됨)이 제공되어 있다.

층간 절연막(평탄화막)(4301)을 구동 TFT(4201) 및 화소 TFT(4202) 상에 형성한다. 이 층간 절연막(4301) 상에 화소 TFT(4202)에 전기적으로 접속된 화소 전극(4203)을 형성한다.

대향 전극(4205)을 대향 기판(4008) 상에 형성한다. 도 278에 도시되지 않았지만, 색필터와 편향판이 적절히 제공될 수 있다. 일정 전압이 대향 전극(4205)에 인가된다.

상기한 방식으로, 화소 전극(4203), 액정(4210) 및 대향 전극(4205)으로 이루어진 액정 셀이 완성된다.

도면 부호 4005a는 화소부(4002), 소스 신호선 구동회로(4003), 제1 게이트 신호선 구동회로(4004a) 및 제2 게이트 신호선 구동회로(4004b)를 외부 전원에 접속시키는 도출 배선을 나타낸다. 도출 배선(4005a)은 밀봉 부재(4009)와 TFT 기판(4001) 사이를 지나 미방성 도전막(4300)을 통해 FPC(4006)의 FPC 배선(4301)에 전기적으로 접속된다.

대향 기판(4008)은 유리 재료, 금속 재료(대개 스테인레스 강 재료), 세라믹 재료 또는 플라스틱 재료(플라스틱 막 포함)로 형성할 수 있다. 사용가능한 플라스틱 재료의 예로는 FRP(유리 섬유 보강 플라스틱) 판, PVF(폴리비닐 플루오라이드)막, 마일라막, 폴리에스테르 막 및 아크릴 수지막이 포함된다. PVF 막 사이 또는 마일라 막 사이에 알루미늄 호일이 개재된 시이트를 또한 사용할 수 있다.

화소 전극으로부터 방출된 빛이 커버 부재측으로 진행되는 경우 커버 부재는 반드시 투명해야 한다. 이 때는, 유리판, 플라스틱판, 폴리에스테르막 또는 아크릴막과 같은 투명 재료를 사용한다.

화소 전극(4203)과 도전막(4203a)은 동시에 형성한다. 도전막(4203a)은 도 27C에 도시된 바와 같이, 도출 배선(4005a)의 상면에 접하도록 형성한다.

미방성 도전막(4300)은 도전성 충전재(4300a)를 갖는다. 도전막 충전재(4300a)는 TFT 기판(4001)과 FPC(4006)를 열압축 고정 처리하여 FPC(4006) 상에 FPC 배선(4301)과 TFT 기판(4001) 상의 도전막(4203a)을 전기적으로 접속시킨다.

이 실시예는 실시예 1 내지 실시예 10과 자유롭게 조합될 수 있다.

#### <실시예 12>

이 실시예에서는 본 발명의 액정표시장치가 투명형 액정표시장치에 사용된 일례에 대해 서술할 것이다.

디자인 룰은 1 μm 규격으로 하고, 화소 피치는 약 100 ppi로 하였다. 이어서 화소 내의 기억회로, D/A 변환기 및 기타 부품들을 소스 신호선 하에 배치하여, 낮은 개구율의 문제를 해결한다. 이로써 본 발명은 반사형 액정표시장치 이외에 투명형 액정표시장치에도 적용될 수 있다.

도 30은 상기와 같은 구조를 갖는 투명형 액정표시장치 내의 화소의 상면도를 도시하고 있다.

도면 부호 3301은 화소를 나타내고, 3302 내지 3304는 기억회로를 나타내고, 3305는 D/A 변환기를 나타내고, 3306은 화소 전극을 나타내고, 3307은 소스 신호선을 나타낸다. 대향 전극, 색필터, 보유 용량 및 몇몇 다른 부품은 도면에서 생략하였다. 기억회로(3302 내지 3304)와 D/A 변환기(3305)는 소스 신호선(3307)에 오버랩되게 형성되어 있다.

도시되지는 않았지만, 기억회로(3302 내지 3304)와 D/A 변환기(3305)는 소스 신호선(3307) 하에 배치되는 대신 게이트 신호선과 오버랩되게 배치될 수도 있다.

#### <실시예 13>

본 발명의 실시예 1 내지 12에 따른 액정표시장치의 화소부에 기억회로로 스테이틱 랜덤 액세스 메모리(SRAM)를 사용한다. 그러나, 기억회로가 SRAM만 제한되지 않는다. 본 발명의 액정표시장치의 화소부에 적용할 수 있는 기억회로는 다이내믹 랜덤 액세스 메모리(DRAM) 등이 있다.

또한, 구체적으로 도시하지는 않지만, 본 발명의 액정표시장치의 화소부를 구성하는 데 사용될 수 있는 다른 형태의 기억회로로, 강유전성 랜덤 액세스 메모리(FerAM)이다. FerAM은 SRAM 및 DRAM과 같은 수준의 기입 속도를 갖는 비휘발성 메모리로, 기입 전압이 더 낮은 특징을 이용할 수 있기 때문에 본 발명의 액정표시장치의 전력 소비를 줄일 수 있다. 또한, 플레시 메모리를 사용하여 구성할 수도 있다.

이 실시예는 실시예 1 내지 실시예 12와 자유롭게 조합될 수 있다.

#### <실시예 14>

본 발명에 따라 형성한 구동회로를 사용한 액티브 매트릭스형 표시 장치는 다양하게 사용될 수 있다. 이 실시예에서는, 본 발명에 따라 형성한 구동회로를 사용하는 표시 장치가 적용된 반도체 소자에 대해 서술할 것이다.

그러한 표시 장치의 예로는 휴대형 정보단말기(전자책, 휴대형 컴퓨터, 또는 휴대 전화기), 비디오 카메라, 디지털 카메라, 퍼스널 컴퓨터, 텔레비전 및 영상기록을 들 수 있다. 이들 전자장치의 예가 도 15 및 도 16에 도시되어 있다.

도 15A에는 휴대형 전화기가 도시되어 있는데, 이 휴대 전화기는 주 몸체(2601), 음향 출력부(2602), 음향 입력부(2603), 표시부(2604), 동작 스위치(2605) 및 안테나(2606)를 가지고 있다. 본 발명의 표시 장치는 표시부(2604)로서 적용될 수 있다.

도 15B에는 비디오 카메라가 도시되어 있는데, 이 비디오 카메라는 주 몸체(2611), 표시부(2612), 음향

입력부(2613), 동작 스위치(2614), 배터리(2615) 및 화상 수신부(2616) 등을 갖는다. 본 발명의 표시 장치는 표시부(2612)에 적용할 수 있다.

도 15C에는 휴대형 컴퓨터가 도시되어 있는데, 이 휴대형 컴퓨터는 주몸체(2621), 카메라부(2622), 화상 수신부(2623), 동작 스위치(2624), 표시부(2625) 등을 갖는다. 본 발명의 표시 장치는 표시부(2625)에 적용할 수 있다.

도 15D에는 헤드장착형 표시 장치가 도시되어 있는데, 이 헤드장착형 표시 장치는 본체(2631), 표시부(2632), 그리고 아암부(2633)를 가지고 있다. 본 발명의 표시 장치 및 그 구동방법은 표시부(2632)에 적용할 수 있다.

도 15E에는 텔레비전이 도시되어 있는데, 이 텔레비전은 주몸체(2641), 스피커(2642), 표시부(2643), 수신 장치(2644) 및 종폭 장치(2645)를 가지고 있다. 본 발명의 표시 장치 및 그 구동방법은 표시부(2643)에 적용할 수 있다.

도 15F에는 휴대형 전자책이 도시되어 있는데, 이 전자책은 주몸체(2651), 표시부(2652), 메모리 매체(2653), 동작 스위치(2654) 및 안테나(2655)를 가지며, 미니 디스크(MD)와 DVD(디지털 다용도 디스크)에 기록된 데이터와 안테나에 의해 기록된 데이터를 표시한다. 본 발명의 표시 장치 및 그 구동방법은 표시부(2652)에 적용할 수 있다.

도 16A에는 퍼스널 컴퓨터가 도시되어 있는데, 이 퍼스널 컴퓨터는 본체(2201), 케이싱(2202), 표시부(2203), 및 키보드(2204) 등을 가지고 있다. 본 발명의 표시 장치 및 그 구동방법은 표시부(2203)에 적용할 수 있다.

도 16B에는 프로그램을 기록하는 기록 매체(이후로는 기록 매체로 부름)를 갖춘 재생 장치가 도시되어 있는데, 이 재생 장치는 본체(2211), 표시부(2212), 스피커부(2213), 기록매체(2214) 및 동작스위치(2215)를 갖는다. 이 재생장치는 기록 매체로 DVD(디지털 다용도 디스크), CD 등을 사용하며, 음악 감상, 영화 감상, 게임 및 인터넷 용으로 사용될 수 있다. 본 발명의 표시 장치 및 그 구동방법은 표시부(2212)에 적용할 수 있다.

도 16C에는 디지털 카메라가 도시되어 있는데, 이 카메라는 주몸체(2221), 표시부(2222), 시야탐색부(2223), 동작스위치(2224), 및 화상 수신부(도면에 도시안됨)를 갖고 있다. 본 발명의 표시 장치 및 그 구동방법은 표시부(2222)에 적용될 수 있다.

도 16D에는 한쪽 노면만 적용되는 헤드장착형 표시 장치가 도시되어 있는데, 이 표시 장치는 본체(2231) 및 밴드부(2232)를 갖고 있다. 본 발명의 표시 장치 및 그 구동방법은 표시부(2231)에 적용될 수 있다.

#### <실시예 15>

이 실시예는 본 발명에 따른 휴대형 정보 단말기의 외관에 대해 서술한다. 도 31에 본 발명의 구조를 갖는 휴대형 정보 단말기가 도시되어 있다. 도 31에서 도면 부호(2701)는 표시 패널을 나타내고, (2702)는 동작 패널을 나타낸다. 표시 패널(2701)과 동작 패널(2702)은 연결 유닛(2703)에 의해 연결되어 있다. 표시 패널(2701)의 표시 유닛(2704)이 고정된 평면과 동작 패널(2702)의 동작 키(2706)가 고정된 평면은 연결 유닛(2703)에서 각  $\theta$ 를 형성하도록 고정되어 있다. 각  $\theta$ 는 임의로 변화시킬 수 있다.

도 31에 도시된 휴대형 정보 단말기는 전화기의 기능을 가지며, 표시 패널(2701)에는 음향 출력 유닛(2705)가 제공되어 소리가 음향 출력 유닛(2705)로부터 출력된다. 본 발명의 액정표시장치는 표시 유닛(2704)에 적용될 수 있다.

표시 유닛(2704)의 개구율은 임의로, 예를 들면 16:9 또는 4:3으로 설정할 수 있다. 바람직한 표시 유닛(2704)의 크기는 대각선이 약 1 내지 4.5 인치인 것이다.

동작 패널(2702)에는 동작 키(2706) 이외에 전원 스위치(2707) 및 음향 입력 유닛(2708)이 제공된다. 도 31에서 전원 스위치(2707)는 동작 키(2706)와 분리되어 제공되어 있다. 그러나, 전원 스위치(2707)가 동작 키(2706) 중 하나일 수도 있다. 소리는 음향 입력 유닛(2708)로부터 입력된다.

도 31에서는, 표시 패널(2701)이 음향 출력 유닛(2705)을 갖고, 동작 패널(2702)이 음향 입력 유닛(2708)을 갖고 있다. 그러나, 본 발명이 이러한 배치에 제한되지 않으며, 표시 패널(2701)이 음향 입력 유닛(2708)을 가질 수 있고, 동작 패널(2702)이 음향 출력 유닛(2705)을 가질 수 있다. 대신 음향 출력 유닛(2705)과 음향 입력 유닛(2708)이 둘 다 표시 패널(2701)에 제공될 수도 있고, 또는 음향 출력 유닛(2705)과 음향 입력 유닛(2708)이 모두 동작 패널(2702) 상에 제공될 수도 있다.

도 32는 도 31에 도시된 휴대형 정보 단말기의 동작 키(2706)를 검지를 사용하여 동작시키는 경우를 도시하고 있다. 한편, 도 33은 도 31에 도시된 휴대형 정보 단말기의 동작 키(2706)를 엄지를 사용하여 동작시키는 경우를 도시하고 있다. 동작키(2706)는 동작 패널(2702)의 측면에 제공될 수도 있다. 단말기를 동작시키는 데는 주로 사용하는 손(오른손)의 검지 또는 엄지만이 필요하다.

#### <실시예 16>

이 실시예는 본 발명의 휴대형 정보장치가 적용된 전자 기기를 도 28A 내지 도 29B를 참조하여 서술할 것이다.

본 발명의 휴대형 정보장치의 일례로서 퍼스널 컴퓨터를 들 수 있다. 도 28A에 퍼스널 컴퓨터가 도시되어 있는데, 이 퍼스널 컴퓨터는 본체(2801), 화상 입력 유닛(2802), 표시부(2803), 및 키보드(2804) 등을 가지고 있다. 각각의 화소가 기억화를 갖는 본 발명의 액정표시장치를 표시 유닛(2803)으로 사용하면 이 퍼스널 컴퓨터의 전력 소비를 줄일 수 있다.

본 발명의 휴대형 정보장치의 일례로서 네비게이션 시스템을 들 수 있다. 도 28B에 네비게이션 시스템이 도시되어 있는데, 이 시스템은 본체(2811), 표시 유닛(2812), 스피커 유닛(2813), 저장 매체(2814), 동작

스위치(2815) 등을 갖는다. 각각의 화소가 기억회로를 갖는 본 발명의 액정표시장치를 표시 유닛(2812)으로 사용하면 이 네비게이션 시스템의 전력 소비를 줄일 수 있다.

본 발명의 휴대형 정보장치의 일례로서 전자책을 들 수 있다. 도 28C에 전자책이 도시되어 있는데, 이 시스템은 본체(2851), 표시 유닛(2852), 저장 매체(2853), 동작 스위치(2854), 안테나(2855) 등을 갖는다. 이 전자책은 미니 디스크(MD) 또는 DVD(디지털 다용도 디스크)에 저장된 데이터 또는 인터넷으로 수신된 데이터를 표시한다. 각각의 화소가 기억회로를 갖는 본 발명의 액정표시장치를 표시 유닛(2852)으로 사용하면 이 전자책의 전력 소비를 줄일 수 있다.

본 발명의 휴대형 정보장치의 일례로서 휴대 전화기를 들 수 있다. 도 29A에 휴대 전화기가 도시되어 있는데, 이 휴대 전화기는 디스플레이 패널(2901), 동작 패널(2902), 연결 유닛(2903), 표시 유닛(2904), 음향 출력 유닛(2905), 동작키(2906), 전원 스위치(2907), 음향 입력 유닛(2908), 안테나(2909), CCD 촬상 유닛(2910), 외부 입력 포트(2911) 등을 가지고 있다. 각각의 화소가 기억회로를 갖는 본 발명의 액정표시장치를 표시 유닛(2904)으로 사용하면 이 휴대 전화기의 전력 소비를 줄일 수 있다.

본 발명의 휴대형 정보장치의 일례로서 PDA를 들 수 있다. 도 29B에 PDA가 도시되어 있는데, 이 PDA는 표시 유닛/펜 터치 태블릿(3004), 동작 키(3006), 전원 스위치(3007), 외부 입력 포트(3011), 스타일링 펜(3012) 등으로 이루어진다. 각각의 화소가 기억회로를 갖는 본 발명의 액정표시장치를 표시 유닛(2904)으로 사용하면 이 휴대 전화기의 전력 소비를 줄일 수 있다.

#### <실시예 17>

이 실시예는 각 화소의 기억회로에 보유하고 D/A 변환기에 입력된 신호를 대응하는 아날로그 신호로 변환시키는 데 도 20과 같은 구조의 화소를 갖는 액정표시장치의 DAC 제어기(도시 안됨)를 사용하는 경우에 대해 서술한다.

이 실시예에서는, 각 화소의 기억회로에 보유하고 D/A 변환기에 입력된 신호가 대응하는 아날로그 신호로 변환되고, D/A 변환기로부터 아날로그 신호가 출력되는 동작을 기억회로 판독 동작이라 부른다.

도 37에 도시된 화소는 기입 TFT(108) 내지 (110), 기억회로(105) 내지 (107), 소스 신호선(101), 기입 게이트 신호선(102) 내지 (104), D/A 변환기(400), 액정 소자(LC) 및 보유 용량(Cs)을 갖고 있다.

기입 TFT(108 내지 110)는 각각 소스 영역과 드레인 영역을 가지며, 이들 중 하나는 소스 신호선(101)에 접속되고, 다른 하나는 연결된 기억회로의 입력 단자에 접속되어 있다((108)은 (105)에 접속되고, (109)는 (106)에 접속되고, (110)은 (107)에 접속됨). 기입 TFT(108)은 게이트 신호선(102)에 접속된 게이트 전극을 갖고, TFT(109)는 게이트 신호선(103)에 접속된 게이트 전극을 갖고, TFT(110)은 게이트 신호선(104)에 접속된 게이트 전극을 갖는다. 기억회로(105) 내지(107)의 출력은 각각 D/A 변환기(400)의 (In1) 내지 (In3)에 접속되어 있다. D/A 변환기(400)의 출력은 액정 소자(LC)와 보유 용량(Cs)의 전극 하부에 접속되어 있다.

D/A 변환기(400)는 NAND 회로(441) 내지 (443), 인버터(444) 내지 (446) (446), 스위치(447a) 내지 (449a), 스위치(460), 용량(C1) 내지 (C3), 리셋 신호선(452), 저전압측 그레이 스케일 전력 공급선(453), 고전압측 그레이 스케일 전력 공급선(454) 및 중간전압 그레이 스케일 전력 공급선(455)으로 구성된다.

기억회로(105) 내지 (107)에 디지털 신호가 저장되기 까지의 동작은 실시 형태와 실시예 1에서 서술한 것과 동일하다. 따라서, 그에 대한 설명은 생략한다.

이제 D/A 변환기(400)의 동작에 대해 서술할 것이다.

신호 RES가 리셋 신호선(452)에 입력되어 스위치(460)가 ON 상태가 된다. Out 단자에 접속된 측의 용량(C1) 내지 (C3)의 전위가 중간 전압측 그레이 스케일 전력 공급선(455)의 전위 VM으로 고정된다. 고전압측 그레이 스케일 전력 공급선(453)의 전위는 저전압측 그레이 스케일 전력 공급선(453)의 전위 VL과 동일한 전위로 설정된다. 이 때, (In1) 내지 (In3)에 디지털 신호가 입력되면, 용량(C1) 내지 (C3)에 기입되지 않는다.

이후, 리셋 신호선(452)의 신호 RES가 바뀌어 스위치(460)가 OFF가 되면, Out 단자측의 용량(C1 내지 C3)의 전위는 고정된 전위로부터 해제된다. 이어서, 고전압측 그레이 스케일 전력 공급선(454)의 전위가 저전압측 그레이 스케일 전력 공급선(453)의 전위 VL과는 다른 전위 VH로 바뀐다. 이 때, NAND 회로(441) 내지 (443)의 출력은 단자(In1 내지 In3)에 입력되는 신호에 따라 바뀐다. NAND 회로의 출력이 바뀔으로써 스위치(447a, 447b) 중 하나, 스위치(448a, 448b) 중 하나, 스위치(449a, 449b) 중 하나가 ON 상태가 된다. 이어서, 고전압측 전력 공급선의 전위 VH 또는 저전압측 전력 공급선의 전위 VL이 용량(C1 내지 C3)의 전극에 인가된다.

용량(C1 내지 C3)의 보유 용량은 비트에 따라 결정된다. 예를 들면, C1:C2:C3은 1:2:4이다.

용량(C1 내지 C3)에 인가되는 전압은 Out 단자측의 용량(C1 내지 C3)의 전위를 변화시켜 출력 전위를 바꾼다. 다시 말해, In1 내지 In3의 입력된 디지털 신호에 해당하는 아날로그 신호가 Out 단자로부터 출력된다.

DAC 제어기는 리셋 신호선(452), 고전압측 계조 전원선(454)의 전위 등을 제어하여 입력된 디지털 신호에 따라 D/A 변환기(400)로부터 출력되는 아날로그 신호를 제어한다.

일단 디지털 신호가 화소의 기억회로에 기입되면, DAC 제어기가 사용되면서 상기 동작이 반복되고 기억회로 내 보유된 디지털 신호가 반복해서 판독된다. 그리하여, 정지 화상이 표시될 수 있다.

소스 신호선 구동회로와 게이트 신호선 구동회로는 정지 화상을 표시하는 동안 동작을 중단할 수 있다.

도 37에는 3개의 기억회로를 갖는 화소의 예가 도시되었지만, 본 발명이 이에 제한되지 않는다. 일반적



으로, 이 실시예는 각각의 화소가  $n$ 개 기억회로( $n$ 은 2 이상의 자연수임)를 갖는 액정표시장치에 적용될 수 있다.

사용되는 DAC 제어기는 공지된 구조를 갖는 회로일 수 있다.

#### <실시예 18>

이 실시예에서는 도 36을 참조하여 본 발명에 따른 화소의 구조예를 서술할 것이다.

도 36에, 도 1의 부품과 동일한 부품들이 같은 도면 부호로 표시되어 있으며, 그에 대한 설명은 생략한다.

도 36에서 기억회로(105 내지 107)의 출력이 각각 판독 TFT(121 내지 123)로 전송되어 D/A(111)에 입력된다. 판독 TFT(121 내지 123)의 게이트 전극은 판독 게이트 신호선(124)에 접속되어 있다.

도 36에 도시된 구조를 갖는 화소에서 신호가 기억회로(105 내지 107)에 기입되는 동작은 실시 형태와 실시예 1과 동일하다. 따라서, 동작에 대한 설명은 생략한다.

정지 화상을 표시할 경우, 일단 디지털 신호가 기억회로(105 내지 107)에 저장되면, 신호가 판독 게이트 신호선(124)에 입력되면서 판독 TFT(121 내지 123)가 ON 상태가 된다. 이로써 기억회로(105 내지 107)에 보유한 디지털 신호가 D/A(111)에 입력된다. 이 실시예와 같이 각각의 화소가 판독 TFT를 갖고 있는 경우에는 기억회로(105 내지 107)에 보유한 디지털 신호가 D/A(111)에 입력되는 것을 기억회로 신호 판독 동작이라 부른다.

판독 TFT(121 내지 123)이 ON 상태와 OFF가 상태가 되면서 판독 동작을 반복하여 정지 화상이 표시된다.

판독 동작은 판독 게이트 신호선을 선택하여 성취된다. 판독 게이트 신호선(124)은 판독 게이트 신호선 구동회로에 의해 구동될 수 있다.

판독 게이트 신호선 구동회로는 임의의 공지된 게이트 신호선 구동회로일 수 있다.

도 36에는 3개의 기억회로를 갖는 화소의 예가 도시되었지만, 본 발명이 이에 제한되지 않는다. 일반적으로, 이 실시예는 각각의 화소가  $n$ 개 기억회로( $n$ 은 2 이상의 자연수임)를 갖는 액정표시장치에 적용될 수 있다.

#### <실시예 19>

이 실시예에서는 도 38을 참조하여 본 발명에 따른 액정표시장치내 화소의 구조를 서술할 것이다.

도 38에, 도 1의 부품과 동일한 부품들이 같은 도면 부호로 표시되어 있으며, 그에 대한 설명은 생략한다.

각각의 화소는 기억회로(141a) 내지 (143a)와 기억회로 (141b) 내지 (143b)를 갖고 있다.

선택 스위치(151)가 기입 TFT(108)를 기억회로(141a)로 접속할지 또는 기억회로(141b)로 접속할지를 선택한다. 선택 스위치(152)가 기입 TFT(109)를 기억회로(142a)로 접속할지 또는 기억회로(142b)로 접속할지를 선택한다. 선택 스위치(153)가 기입 TFT(110)를 기억회로(143a)로 접속할지 또는 기억회로(143b)로 접속할지를 선택한다.

선택 스위치(154)는 D/A(111)를 기억회로(141a)로 접속할지 또는 기억회로(141b)로 접속할지를 선택한다. 선택 스위치(155)는 D/A(111)를 기억회로(142a)로 접속할지 또는 기억회로(142b)로 접속할지를 선택한다. 선택 스위치(156)은 D/A(111)를 기억회로(143a)로 접속할지 또는 기억회로(143b)로 접속할지를 선택한다.

선택 스위치(151 내지 153)와 선택 스위치(154 내지 156)에 의해, 디지털 신호가 기억회로(141a 내지 143a)에 저장될지, 아니면 디지털 신호가 기억회로(141b 내지 143b)에 저장될지 결정될 수 있다. 또한, 이들 스위치를 사용하여 기억회로(141a 내지 143a)로부터 디지털 신호를 D/A(111)에 입력할지, 아니면 기억회로(141b 내지 143b)로부터 디지털 신호를 D/A(111)에 입력할지를 선택한다.

각 화소에서, 선택된 기억회로에 디지털 신호를 입력하는 동작과 선택된 기억회로에 저장된 디지털 신호를 판독하는 동작은 실시 형태와 실시예 1에 서술된 것과 동일하다. 따라서, 동작에 관한 설명은 생략한다.

각각의 화소는 기억회로(141a 내지 143a)를 사용하여 1 프레임 기간에 해당하는 3 비트 신호를 저장하며, 기억회로(141b 내지 143b)를 사용하여 상기 1 프레임 기간과 다른 또 다른 프레임 기간에 해당하는 3 비트 신호를 저장한다.

도 38에 도시된 기억회로는 2개 프레임 기간에 해당하는 3 비트 디지털 신호를 저장하지만, 이 실시예가 여기에 제한되지 않는다. 일반적으로, 이 실시예는 각각의 화소가  $m$ ( $m$ 은 2 이상의 자연수임)개 프레임 분의  $n$ ( $n$ 은 2 이상의 자연수임) 비트 디지털 신호를 저장할 수 있는 액정표시장치에 적용될 수 있다.

#### 본 발명의 효과

각각의 화소 내부에 배치되는 복수개의 기억회로를 사용하여 디지털 신호를 저장함으로써 정지 화상을 표시할 때는 새로운 프레임 마다 기억회로에 저장된 디지털 신호를 반복해서 사용한다. 따라서, 정지 화상 표시를 연속적으로 수행할 때는 소스 신호선 구동회로를 중단할 수 있다. 그러므로, 본 발명은 액정표시장치의 전체 전력 소비를 크게 줄일 수 있다.

또한, 정지 화상 표시를 연속적으로 수행할 때는 휴대형 정보장치에 합체된 액정표시장치에 입력되는 신호를 처리하는 영상신호 처리 회로 및 기타 회로들도 중단될 수 있다. 따라서, 본 발명은 휴대형 정보장

치의 전력 소비를 줄이는데 크게 기여한다.

(57) 청구의 범위

청구항 1

화소들을 포함하는 액정표시장치로서, 각각의 화소가 다수의 기억회로와 D/A 변환기를 갖는 것을 특징으로 하는 액정표시장치.

청구항 2

화소들을 포함하는 액정표시장치로서, 각각의 화소가 각각  $n$ 개 기억회로( $n$ 은 2 이상의 자연수임)와 상기  $n$ 개 기억회로에 저장된 디지털 신호를 아날로그 신호로 변환시키기 위한 D/A 변환기를 갖는 것을 특징으로 하는 액정표시장치.

청구항 3

아날로그 신호가 입력되는 액정 소자를 각각 가지는 화소들을 포함하는 액정표시장치로서, 각각의 화소가  $n$ 개 기억회로( $n$ 은 2 이상의 자연수임)와 상기  $n$ 개 기억회로에 저장된 디지털 신호를 아날로그 신호로 변환시키기 위한 D/A 변환기를 갖는 것을 특징으로 하는 액정표시장치.

청구항 4

화소들을 포함하는 액정표시장치로서, 각각의 화소가  $n \times m$ 개의 기억회로( $n$  및  $m$ 은 둘 다 2 이상의 자연수임)와 상기  $n \times m$ 개 기억회로에 저장된  $n$  비트 디지털 신호를 아날로그 신호로 변환시키기 위한 D/A 변환기를 갖는 것을 특징으로 하는 액정표시장치.

청구항 5

화소들을 포함하는 액정표시장치로서, 각각의 화소가  $n \times m$ 개의 기억회로( $n$  및  $m$ 은 둘 다 2 이상의 자연수임)와 상기  $n \times m$ 개 기억회로에 저장된  $n$  비트 디지털 신호를 아날로그 신호로 변환시키기 위한 D/A 변환기를 갖고, 상기 화소들 각각이  $m$ 개 프레임에 대응하는 디지털 신호를 저장하는 것을 특징으로 하는 액정표시장치.

청구항 6

제 1 항 내지 제 5 항중 어느 한 항에 있어서, 상기 기억회로 및 D/A 변환기가 소스 신호선과 오버랩되도록 배치된 것을 특징으로 하는 액정표시장치.

청구항 7

제 1 항 내지 제 5 항중 어느 한 항에 있어서, 상기 기억회로 및 D/A 변환기가 게이트 신호선과 오버랩되도록 배치된 것을 특징으로 하는 액정표시장치.

청구항 8

화소들을 포함하는 액정표시장치로서, 각각의 화소가 액정 소자와, 소스 신호선 1개, 게이트 신호선  $n$ 개( $n$ 은 2 이상의 자연수임), 게이트 전극을 갖는 TFT  $n$ 개, 기억회로  $n$ 개, 및 D/A 변환기 1개를 포함하고;

각각의 상기 게이트 전극은 상기  $n$ 개의 게이트선중 하나에 접속되고, 상기  $n$ 개의 TFT를 각각이 소스 영역과 드레인 영역을 갖고, 그 영역들중 하나는 상기 소스 신호선에 접속되고, 다른 한 영역은 상기  $n$ 개 기억회로 중 하나의 입력 단자에 접속되고,

상기  $n$ 개 기억회로를 각각의 출력 단자는 상기 D/A 변환기의 입력 단자에 접속되고, 상기 D/A 변환기의 출력 단자는 상기 액정 소자에 접속된 것을 특징으로 하는 액정표시장치.

청구항 9

화소들을 포함하는 액정표시장치로서, 각각의 화소가 액정 소자와, 소스 신호선  $n$ 개( $n$ 은 2 이상의 자연수임), 게이트 신호선 1개, 게이트 전극을 갖는 TFT  $n$ 개, 기억회로  $n$ 개, 및 D/A 변환기 1개를 갖고;

상기 게이트 전극을 각각이 상기 게이트 신호선에 접속되고, 상기  $n$ 개의 TFT를 각각이 소스 영역과 드레인 영역을 갖고, 그 영역들중 하나는 상기  $n$ 개 소스 신호선 중 하나에 접속되고, 다른 하나는 상기  $n$ 개 기억회로 중 하나의 입력 단자에 접속되고,

상기  $n$ 개 기억회로를 각각의 출력 단자는 상기 D/A 변환기의 입력 단자에 접속되고, 상기 D/A 변환기의 출력 단자는 상기 액정 소자에 접속된 것을 특징으로 하는 액정표시장치.

청구항 10

제 8 항에 있어서, 상기 액정표시장치가 시프트 레지스터, 제1 래치 회로, 제2 래치 회로, 및 스위치를 포함하는 소스 신호선 구동회로를 갖고, 상기 제1 래치 회로는 상기  $n$  비트 디지털 신호가 상기 제2 래치 회로로 전송될 때까지 상기 시프트 레지스터로부터 샘플링 펄스가 수신되면 상기  $n$  비트 디지털 신호를 보유하고, 상기 스위치는 상기 제2 래치 회로에 전송된 상기  $n$  비트 디지털 신호 중 한번에 1 비트씩 선택하여 상기 선택된 신호를 상기 소스 신호선에 입력하는 것을 특징으로 하는 액정표시장치.

청구항 11

제 8 항에 있어서, 상기 액정표시장치가 시프트 레지스터, 제1 래치 회로 및 제2 래치 회로를 포함하는 소스 신호선 구동회로를 갖고, 상기 제1 래치 회로는 상기 1 비트 디지털 신호가 상기 제2 래치 회로로

전송될 때까지 상기 시프트 레지스터로부터 샘플링 펄스가 수신되면 1 비트 디지털 신호를 보유하는 것을 특징으로 하는 액정표시장치.

**청구항 12**

제 9 항에 있어서, 상기 액정표시장치가 시프트 레지스터 및 제1 래치 회로를 포함하는 소스 신호선 구동 회로를 갖고, 상기 제1 래치 회로는 상기 시프트 레지스터로부터 샘플링 펄스가 수신되면 n 비트 디지털 신호를 보유하는 것을 특징으로 하는 액정표시장치.

**청구항 13**

제 9 항에 있어서, 상기 액정표시장치가 시프트 레지스터, 제1 래치 회로 및 n개의 스위치를 포함하는 소스 신호선 구동 회로를 갖고, 상기 제1 래치 회로는 상기 시프트 레지스터로부터 샘플링 펄스가 수신되면 n 비트 디지털 신호를 보유하고, 상기 n개의 스위치는 상기 제1 래치 회로에 저장된 상기 n 비트 디지털 신호를 상기 n개의 소스 신호선에 입력하는 것을 특징으로 하는 액정표시장치.

**청구항 14**

제 1 항 내지 제 5 항, 제 8 항, 제 9 항 중 어느 한 항에 있어서, 상기 기억회로가 스테이틱 랜덤 액세스 메모리(SRAM), 강유전성 랜덤 액세스 메모리(FerAM), 또는 다이내믹 랜덤 액세스 메모리(DRAM)로 이루어진 군으로부터 선택되는 것을 특징으로 하는 액정표시장치.

**청구항 15**

제 1 항 내지 제 5 항, 제 8 항, 제 9 항 중 어느 한 항에 있어서, 상기 기억회로가 유리 기판, 플라스틱 기판, 스테인레스 강 기판 또는 단결정 웨이퍼로 이루어진 군으로부터 선택되는 기판 상에 형성되는 것을 특징으로 하는 액정표시장치.

**청구항 16**

제 1 항 내지 제 5 항, 제 8 항, 제 9 항 중 어느 한 항에 있어서, 상기 액정표시장치가 휴대 전화, 비디오 카메라, 휴대형 컴퓨터, 헤드 장착형 표시장치, 텔레비전 셋, 휴대형 전자책, 퍼스널 컴퓨터 및 디지털 카메라로 이루어진 군으로부터 선택되는 것에 사용되는 것을 특징으로 하는 액정표시장치.

**청구항 17**

매트릭스 형태로 배치된 다수의 화소를 가진 액정표시장치를 구동하는 방법으로서,

상기 화소들 각각이 복수개의 기억회로와 D/A 변환기 1개를 갖고, 데이터가 상기 화소 복수개 전체 중의 특정 열의 화소 또는 특정 행의 화소의 상기 복수개 기억회로에 재가입되는 것을 특징으로 하는 액정표시장치의 구동방법.

**청구항 18**

다수의 화소와 그 화소들에 영상신호를 입력하기 위한 소스 신호선 구동회로를 가진 액정표시장치를 구동하는 방법으로서,

상기 화소들 각각이 복수개의 기억회로와 D/A 변환기 1개를 갖고, 정지 화상을 표시할 때 소스 신호선 구동회로의 동작이 중단되는 것을 특징으로 하는 액정표시장치의 구동방법.

**청구항 19**

제 17 항 또는 제 18 항에 있어서, 상기 기억회로가 스테이틱 랜덤 액세스 메모리(SRAM), 강유전성 랜덤 액세스 메모리(FerAM), 또는 다이내믹 랜덤 액세스 메모리(DRAM)로 이루어진 군으로부터 선택되는 것을 특징으로 하는 액정표시장치의 구동방법.

**청구항 20**

제 17 항 또는 제 18 항에 있어서, 상기 기억회로가 유리 기판, 플라스틱 기판, 스테인레스 강 기판 또는 단결정 웨이퍼로 이루어진 군으로부터 선택되는 기판 상에 형성되는 것을 특징으로 하는 액정표시장치의 구동방법.

**청구항 21**

제 17 항 또는 제 18 항에 있어서, 상기 액정표시장치가 휴대 전화기, 비디오 카메라, 헤드 장착형 표시장치, 텔레비전 셋, 휴대형 전자책, 퍼스널 컴퓨터 및 디지털 카메라로 이루어진 군으로부터 선택되는 장치에 사용되는 것을 특징으로 하는 액정표시장치의 구동방법.

**청구항 22**

액정표시장치 및 CPU를 포함하는 휴대형 정보장치를 구동하는 방법으로서,

상기 액정표시장치가, 복수개의 기억회로, D/A 변환기 1개 및 상기 복수개의 기억회로에 신호를 출력하는 구동회로를 각각 가지는 화소들을 포함하고,

상기 CPU가 상기 구동회로를 제어하는 제1 회로 및 상기 휴대형 정보장치에 입력되는 신호를 제어하는 제2 회로를 포함하고,

상기 액정표시장치가 정지 화상을 표시할 때 제1 회로의 동작이 중단되는 것을 특징으로 하는 휴대형 정보장치의 구동방법.

**청구항 23**

액정표시장치 및 VRAM을 포함하는 휴대형 정보장치를 구동하는 방법으로서,

상기 액정표시장치가, 복수개의 기억회로와 D/A 변환기 1개를 각각 갖는 화소들을 포함하고, 상기 액정표시장치가 정지 화상을 표시할 때 상기 VRAM으로부터 데이터를 판독하는 동작이 중단되는 것을 특징으로 하는 휴대형 정보장치의 구동방법.

**청구항 24**

액정표시장치를 포함하는 휴대형 정보장치를 구동하는 방법으로서,

상기 액정표시장치가 복수개의 기억회로와 D/A 변환기 1개를 갖는 복수개의 화소를 포함하고, 상기 액정표시장치가 정지 화상을 표시할 때 상기 액정표시장치의 소스 신호선 구동회로의 동작이 중단되는 것을 특징으로 하는 휴대형 정보장치의 구동방법.

**청구항 25**

제 22 항 내지 제 24 항중 어느 한 항에 있어서, 상기 복수개의 기억회로 내의 데이터가 1 프레임 기간에 한번 판독되는 것을 특징으로 하는 휴대형 정보장치의 구동방법.

**청구항 26**

액정표시장치를 포함하는 휴대형 정보장치를 구동하는 방법으로서,

상기 액정표시장치가 매트릭스 형태로 배치된 복수개의 화소를 갖고, 상기 복수개의 화소들 각각이 복수개의 기억회로와 D/A 변환기 1개를 갖고, 상기 액정표시장치가 상기 복수개의 전체 화소 중 특정 열의 화소 또는 특정 행의 화소의 복수개 기억회로에 데이터를 재기입하는 것을 특징으로 하는 휴대형 정보장치의 구동방법.

**청구항 27**

제 22 항 내지 제 24 항, 제 26 항중 어느 한 항에 있어서, 상기 기억회로가 스테이틱 랜덤 액세스 메모리(SRAM), 강유전성 랜덤 액세스 메모리(FerAM), 또는 다이내믹 랜덤 액세스 메모리(DRAM)로 이루어진 군으로부터 선택되는 것을 특징으로 하는 휴대형 정보장치의 구동방법.

**청구항 28**

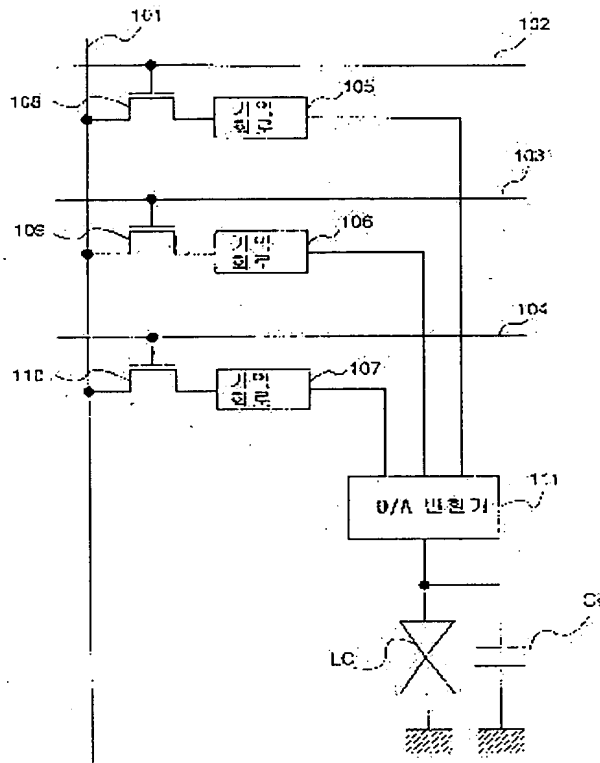
제 22 항 내지 제 24 항, 제 26 항중 어느 한 항에 있어서, 상기 기억회로가 유리 기판, 플라스틱 기판, 스테인레스 강 기판 또는 단결정 웨이퍼로 이루어진 군으로부터 선택되는 기판 상에 형성되는 것을 특징으로 하는 휴대형 정보장치의 구동방법.

**청구항 29**

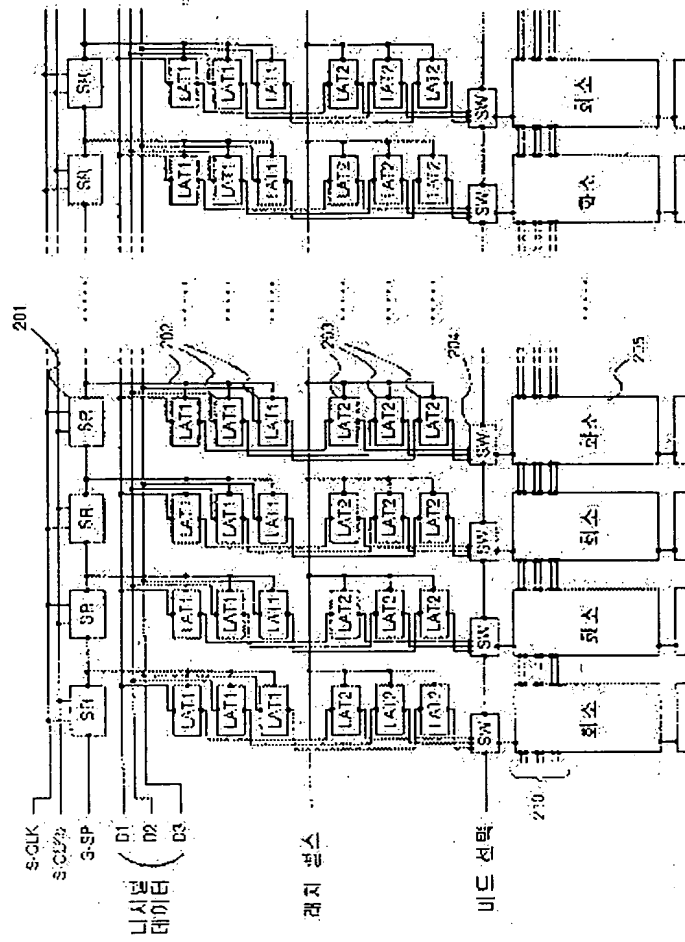
제 22 항 내지 제 24 항, 제 26 항중 어느 한 항에 있어서, 상기 휴대형 정보장치가 휴대 전화기, 퍼스널 컴퓨터, 네비게이션 시스템, 개인 정보 단말기(PDA), 전자책으로 이루어진 것으로부터 선택된 것인 것을 특징으로 하는 휴대형 정보장치의 구동방법.

도면

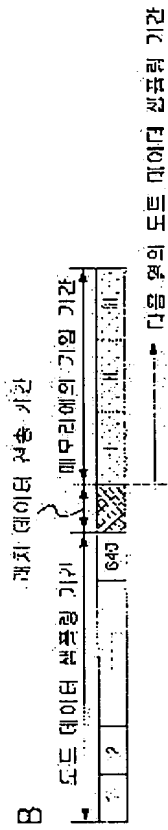
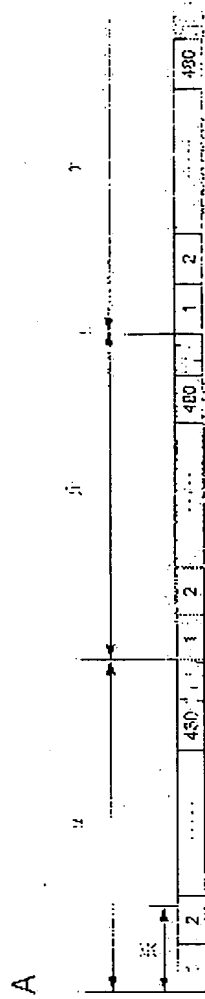
도면1



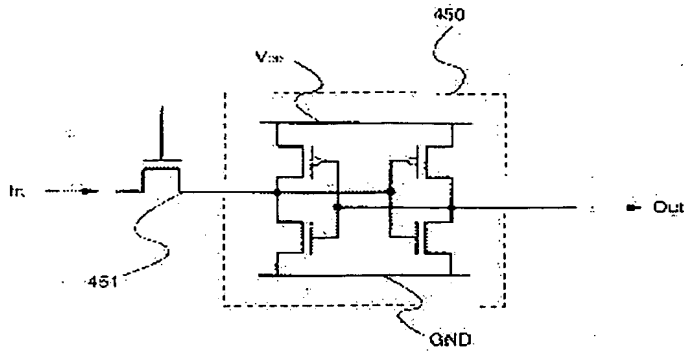
522



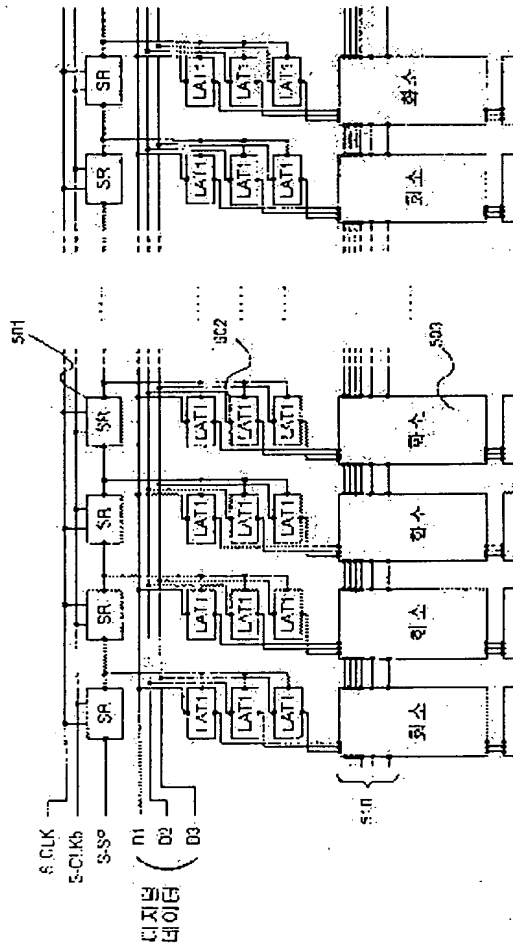
도면 3



도 4

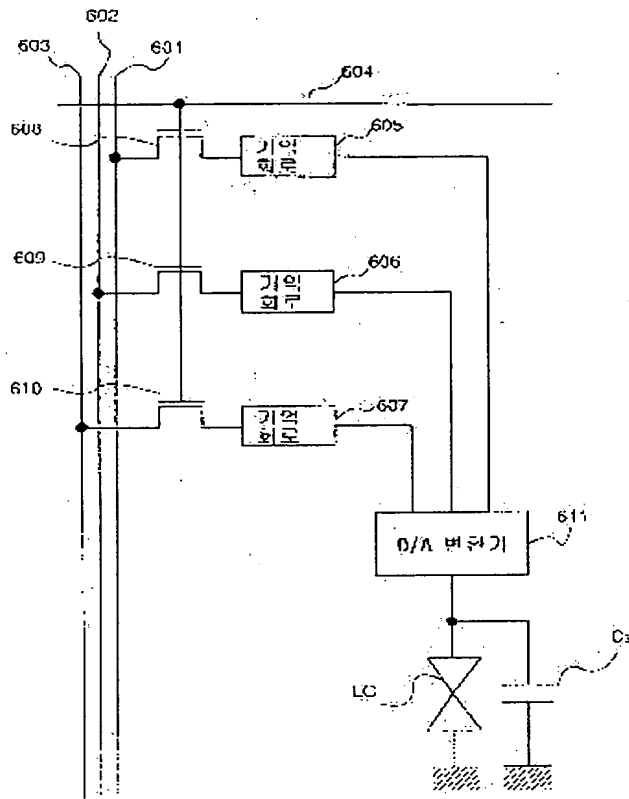


도 5



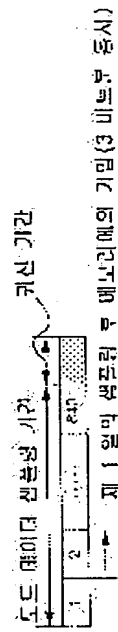
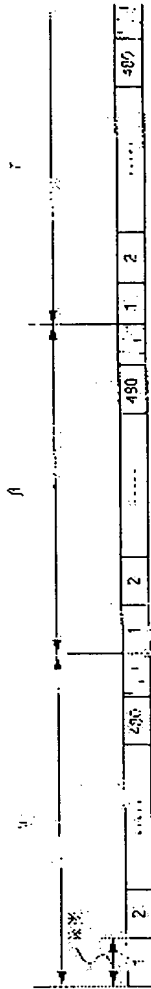


도 28

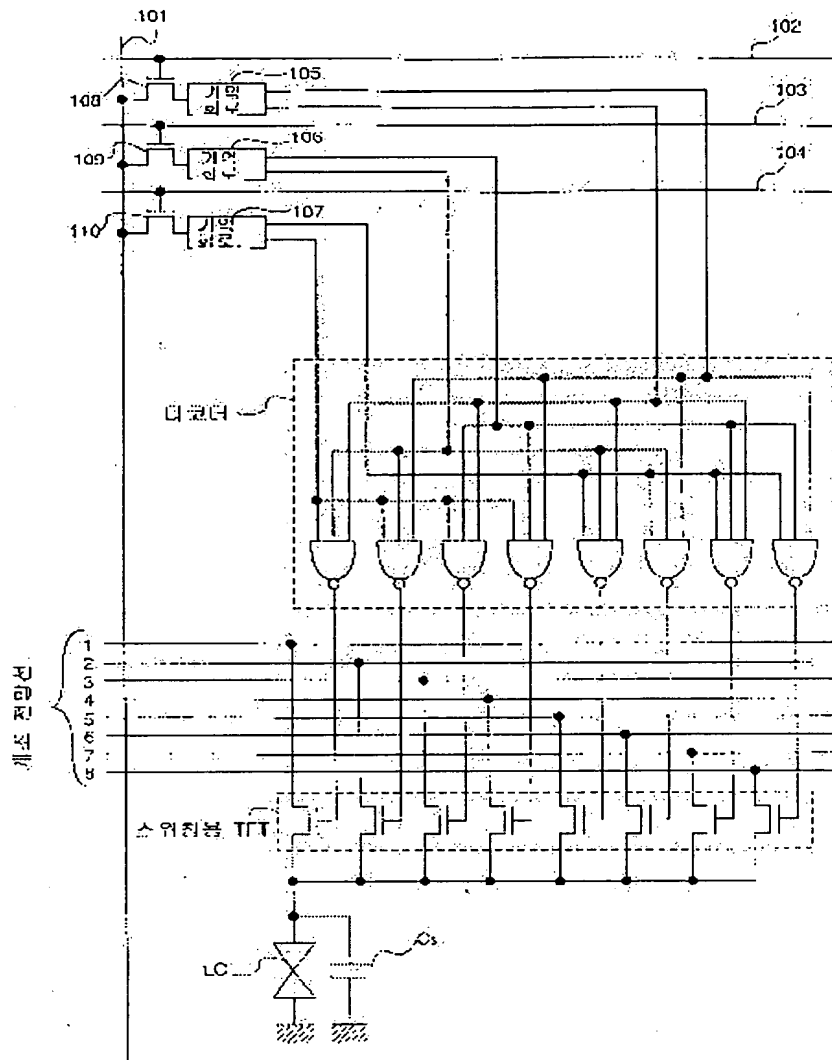


527

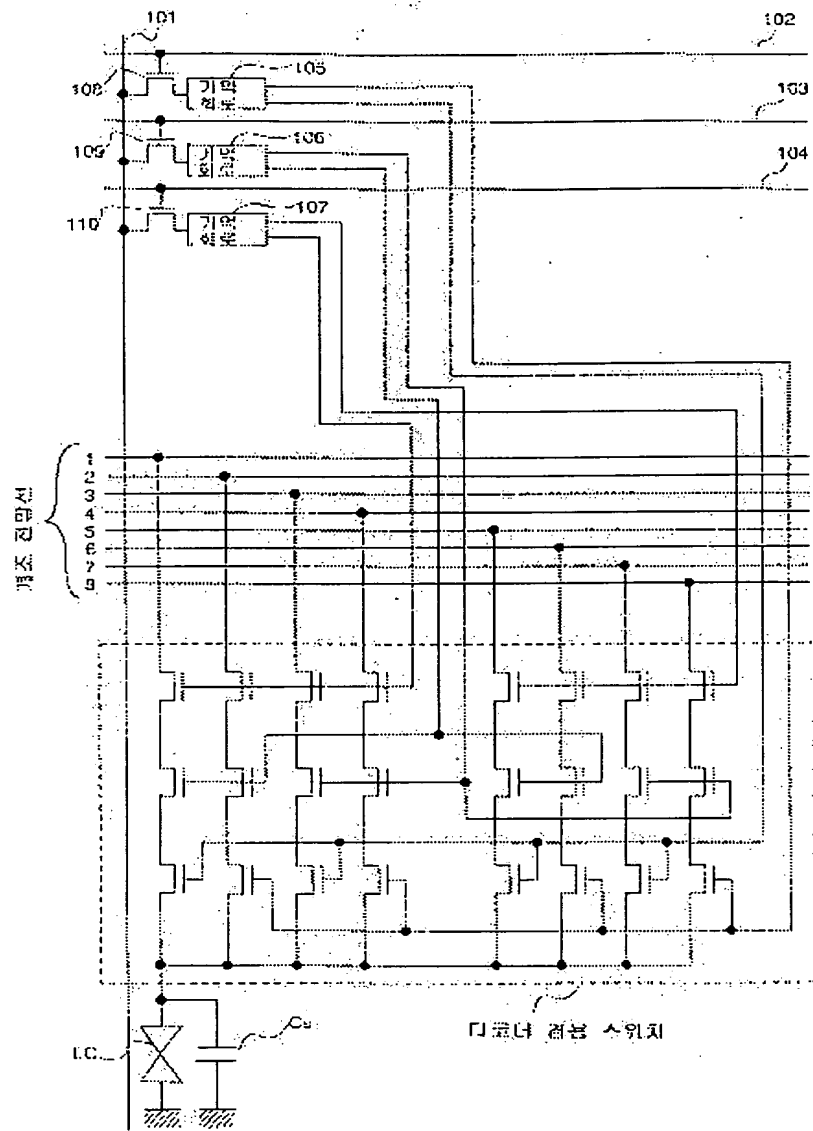
A



도 8

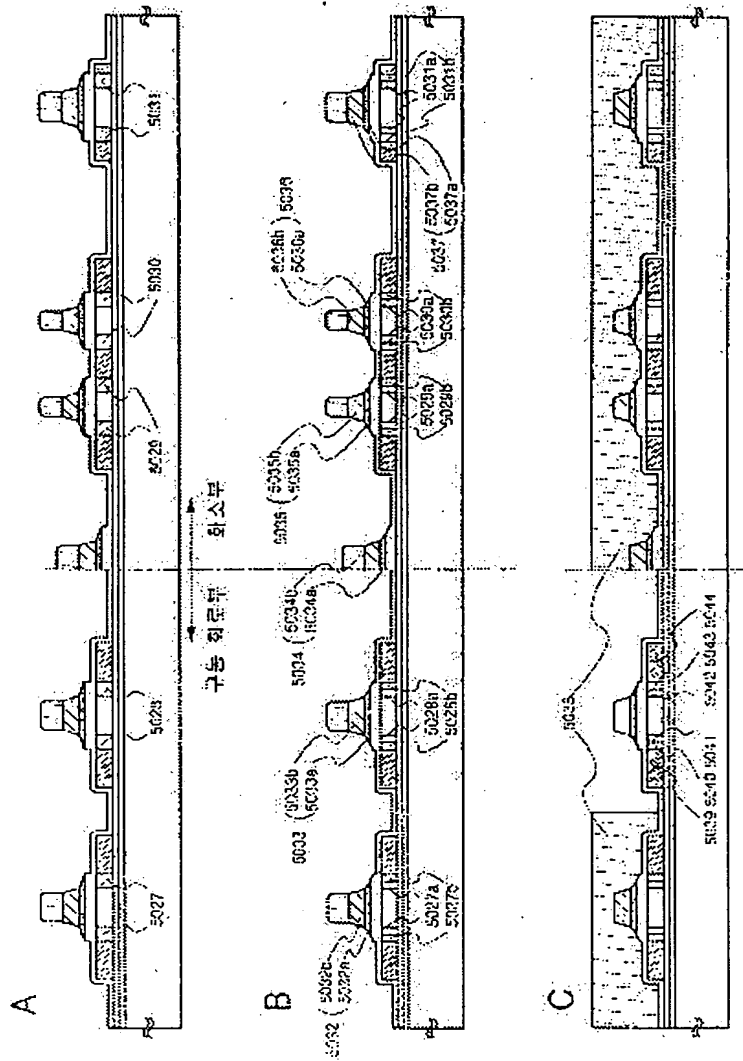


도 29

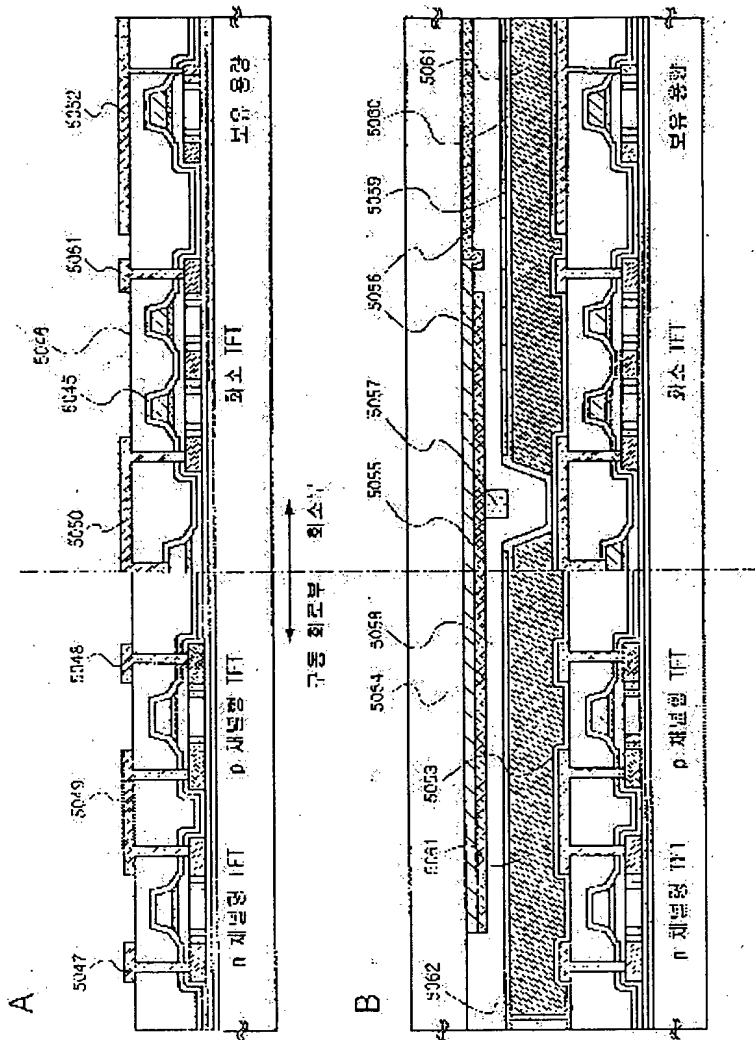




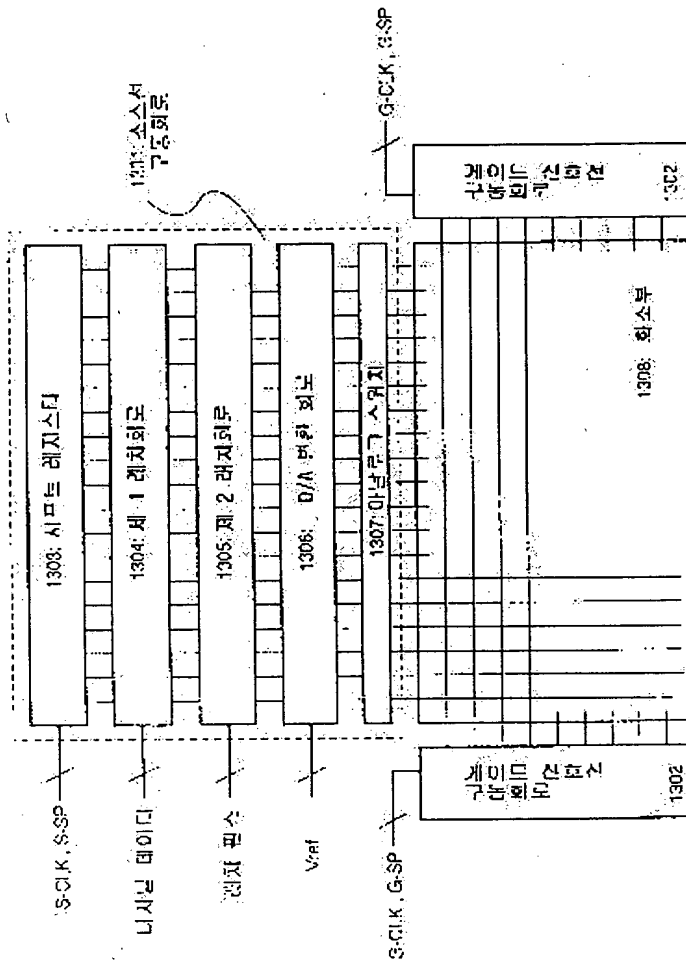
5011



도면 12

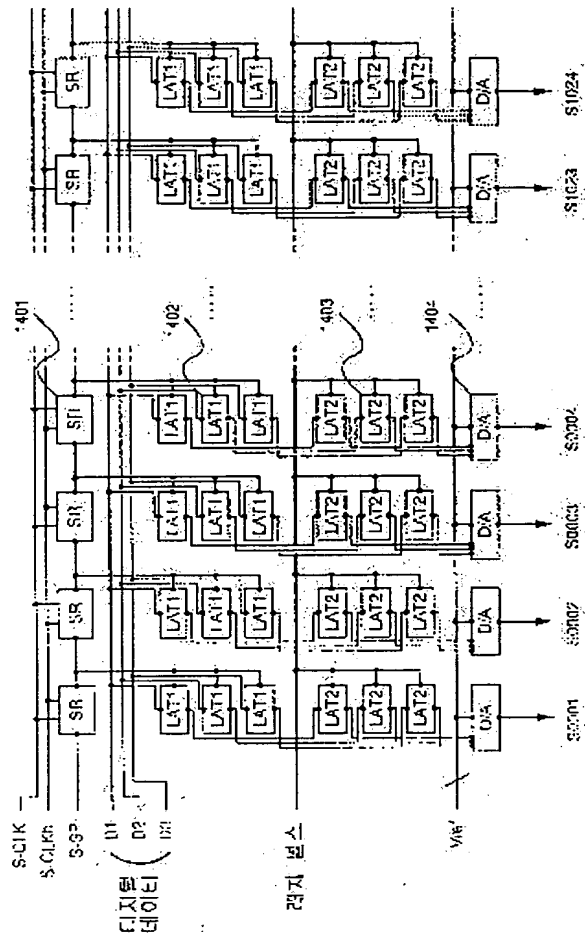


도면 13

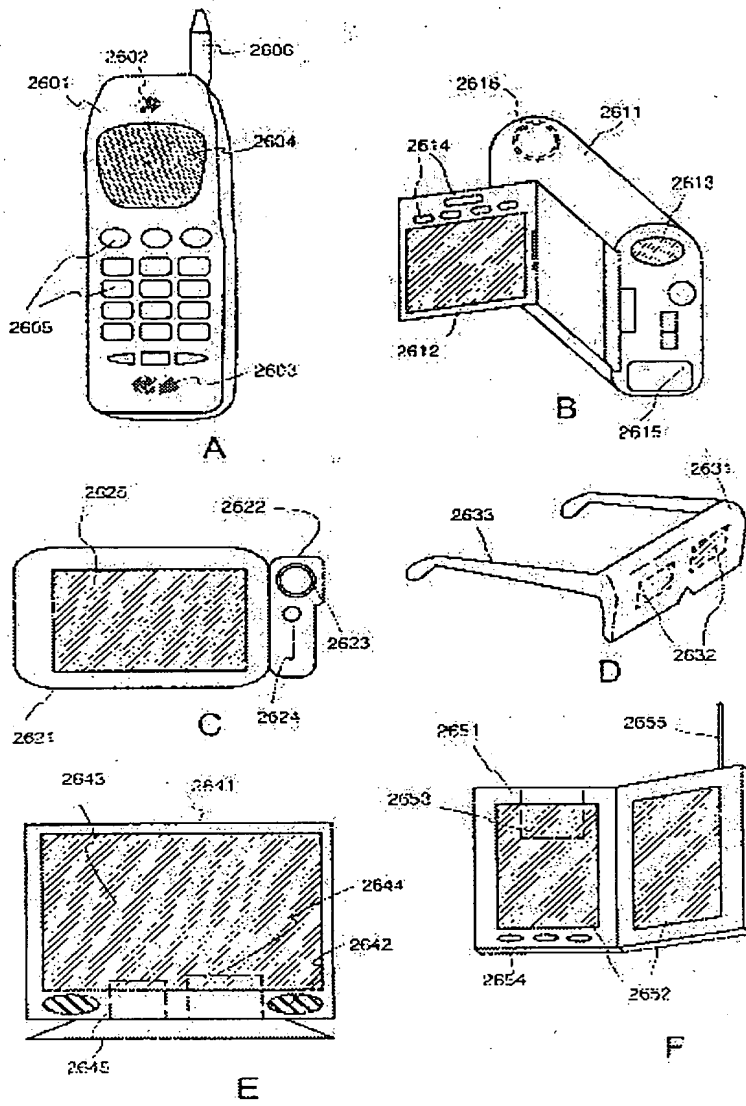




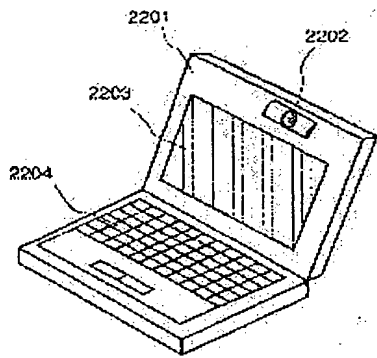
· 5P14



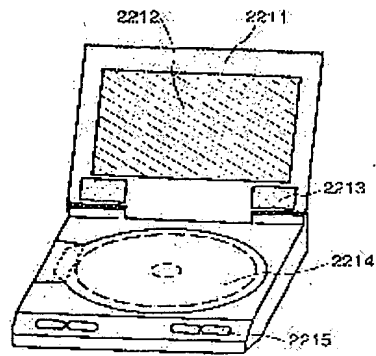
도 15



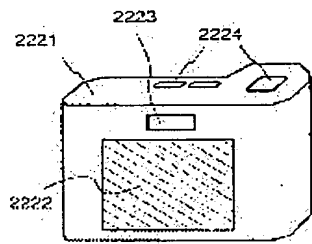
도 18



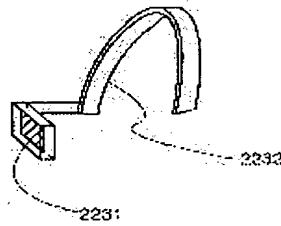
A



B

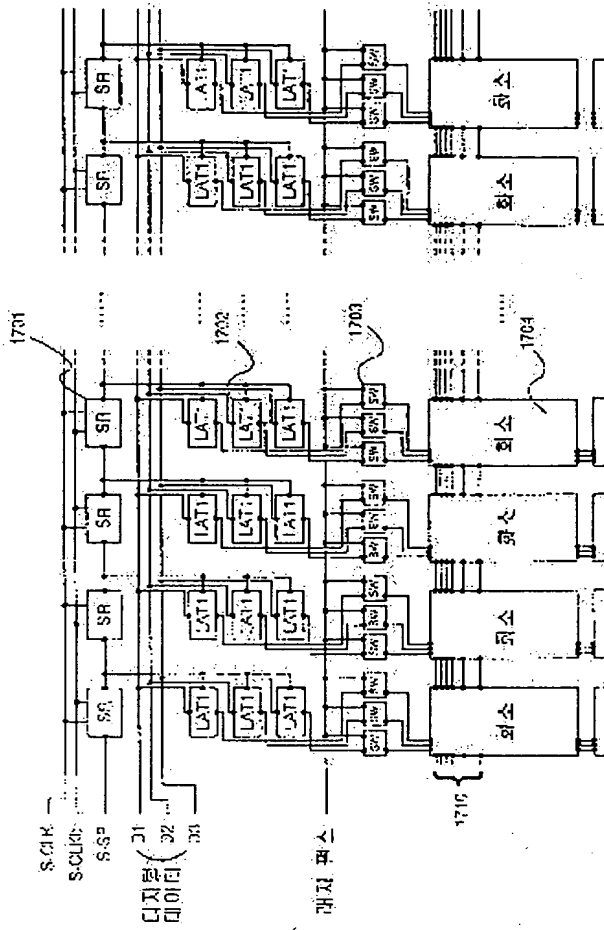


C



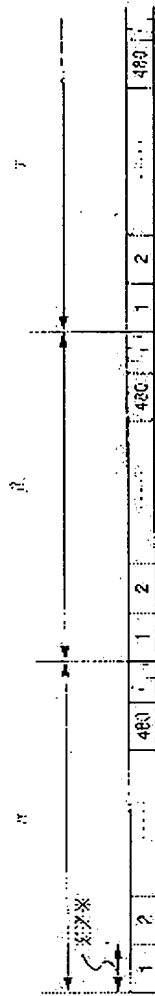
D

도면 17



도면 18

A



B





5P20

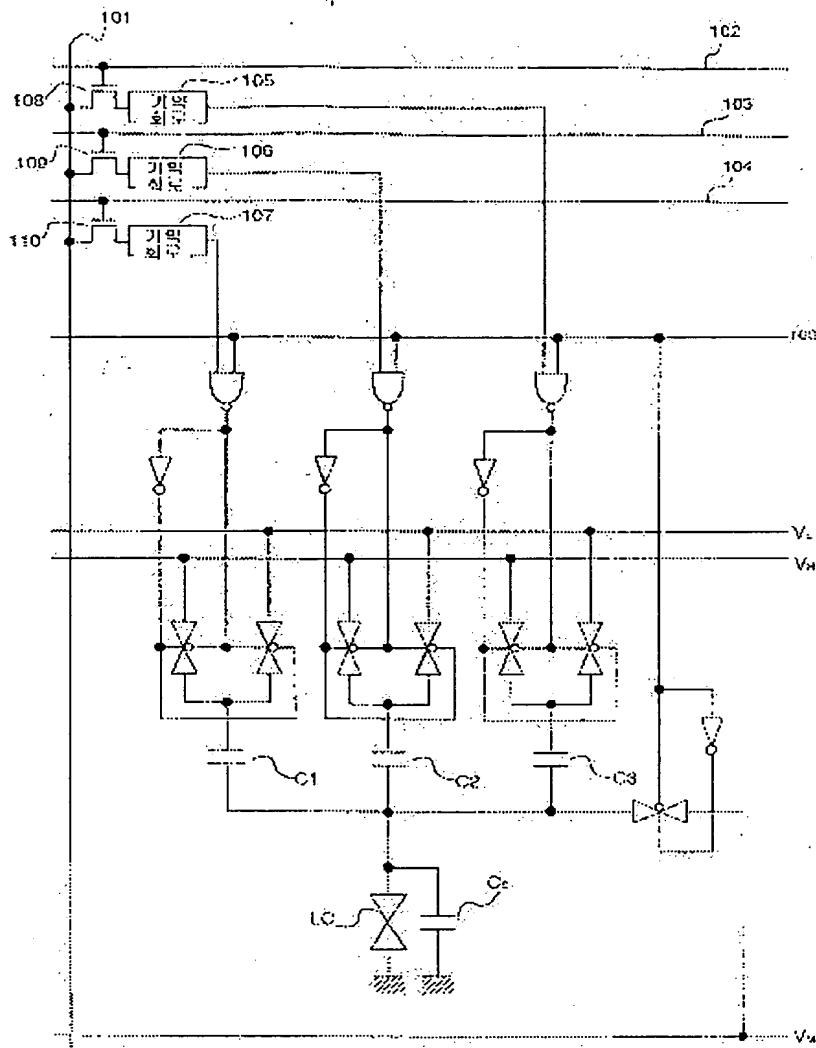
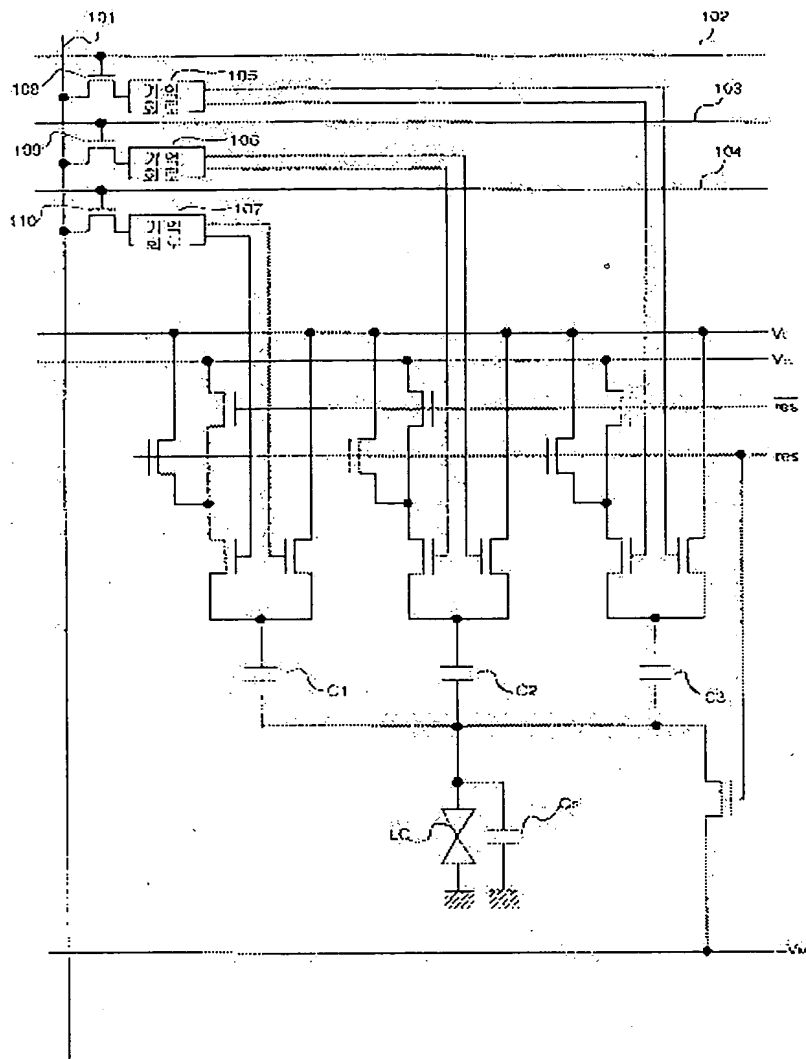
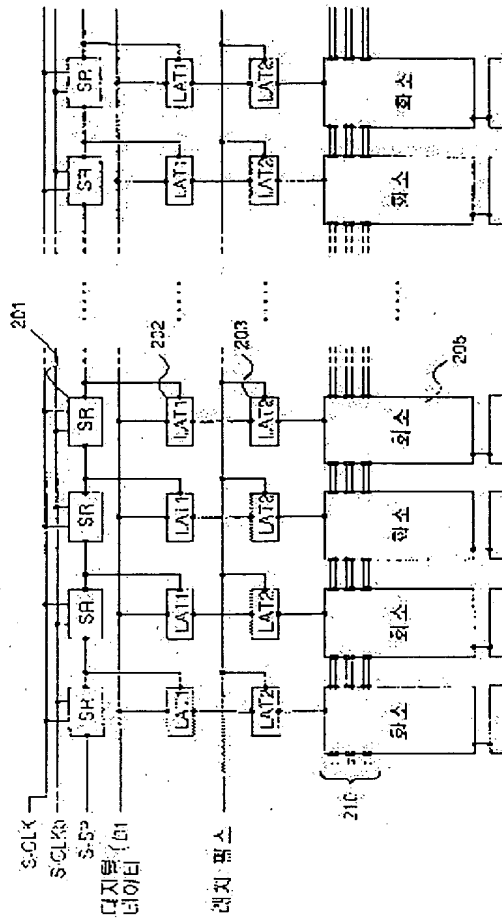


도표 21



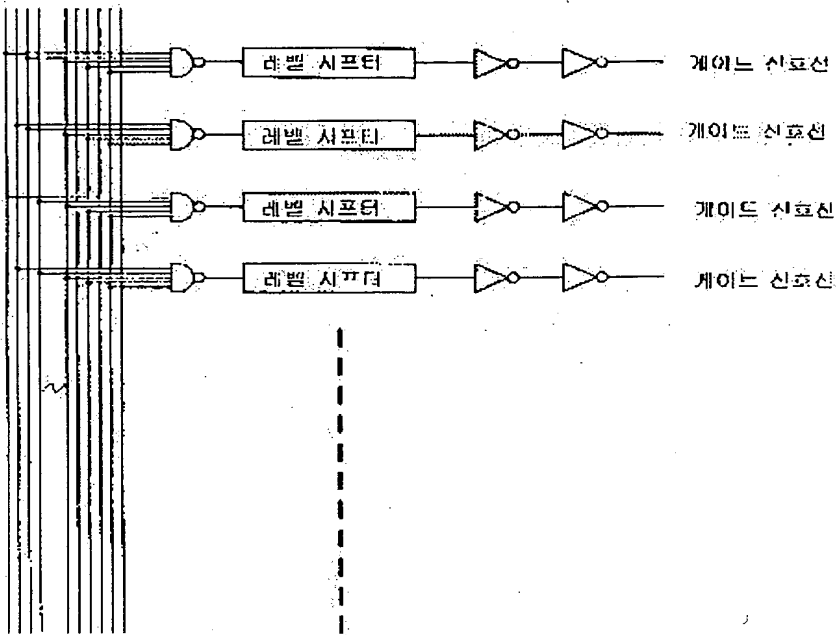


55-22

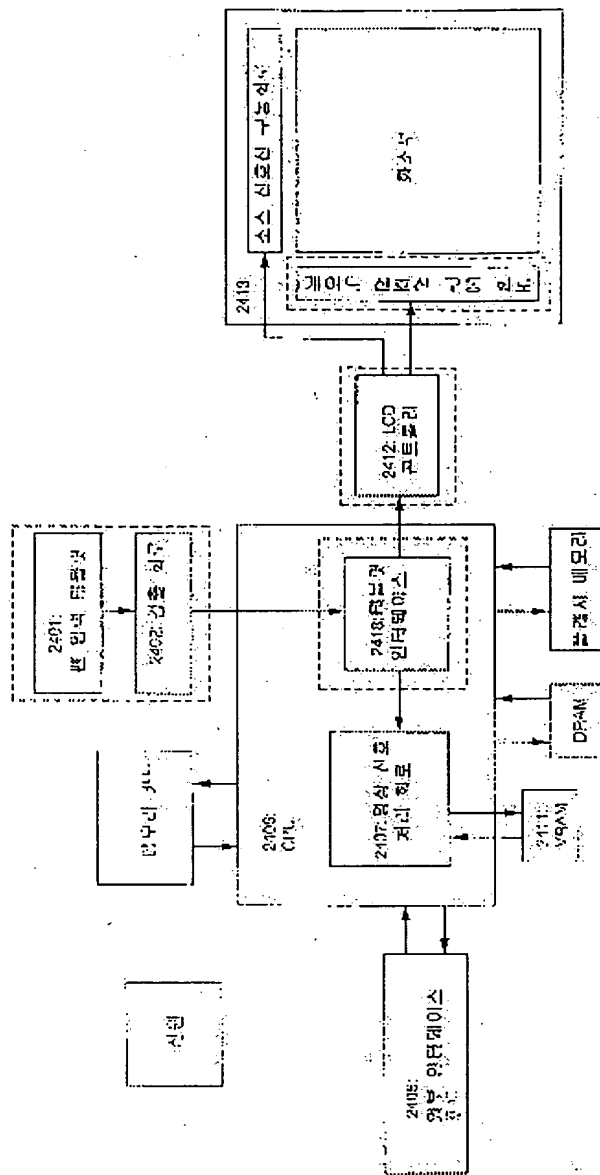


도 23

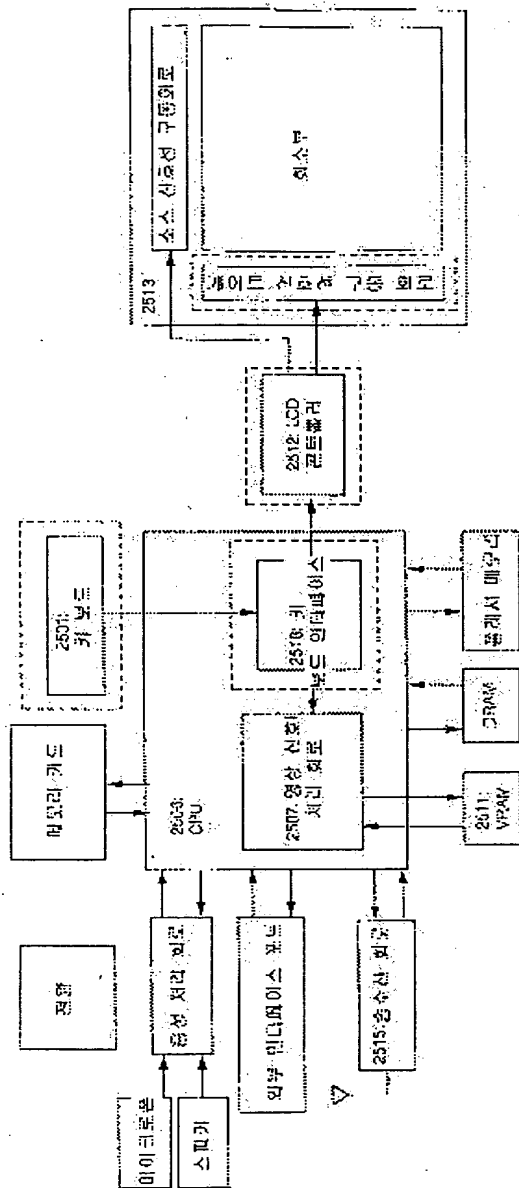
어드레스 선

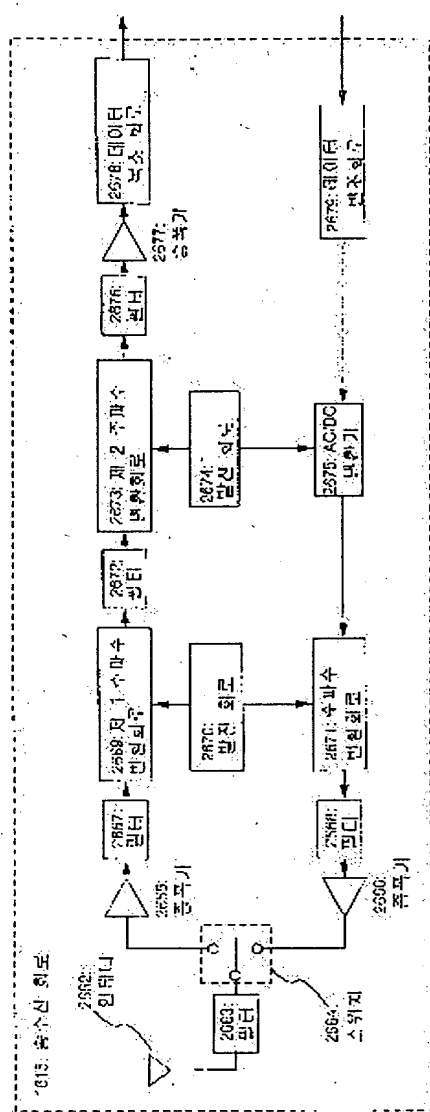


도 24

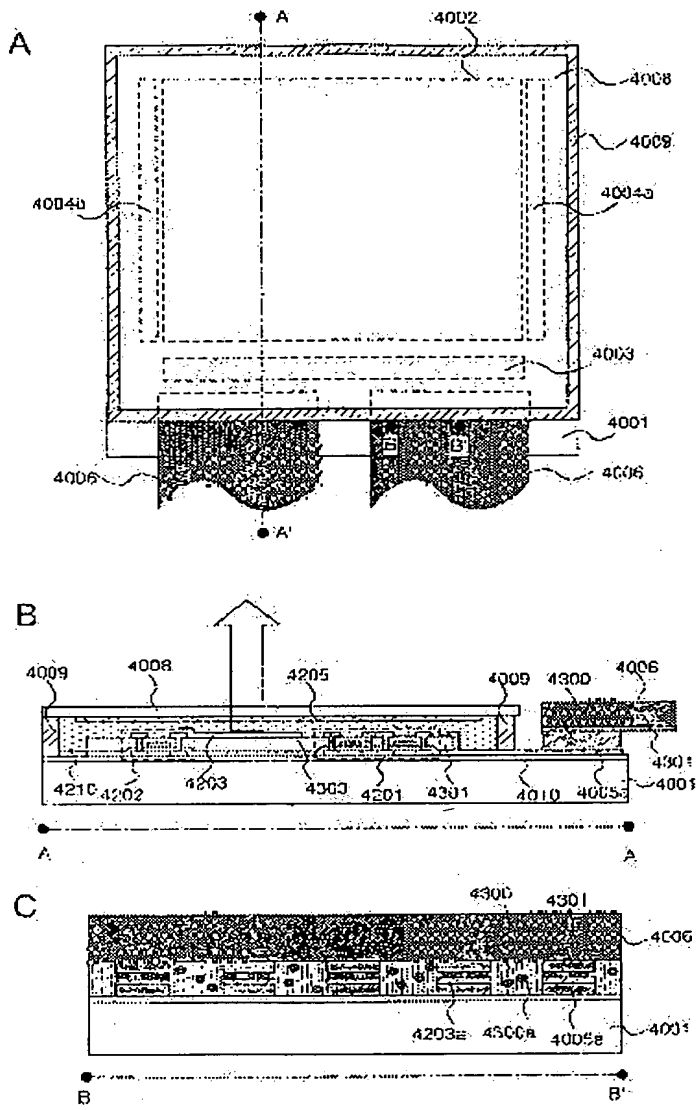


525

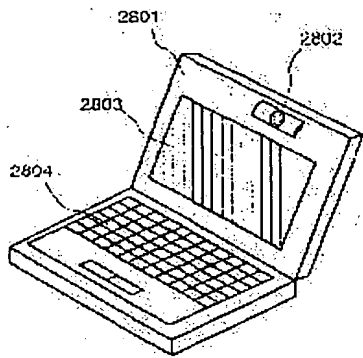




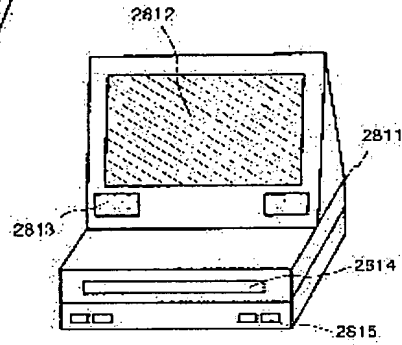
502



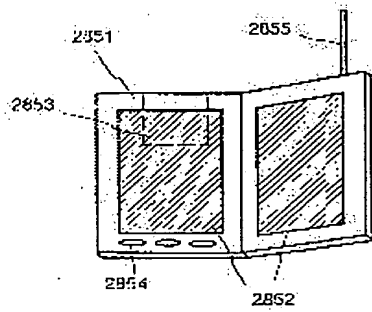
56-47



A

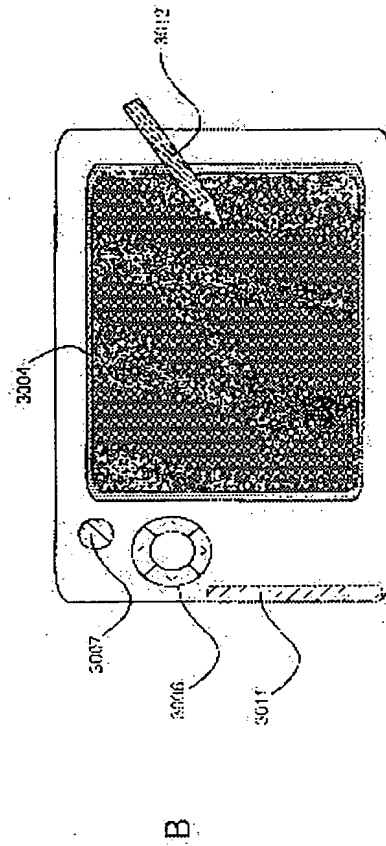
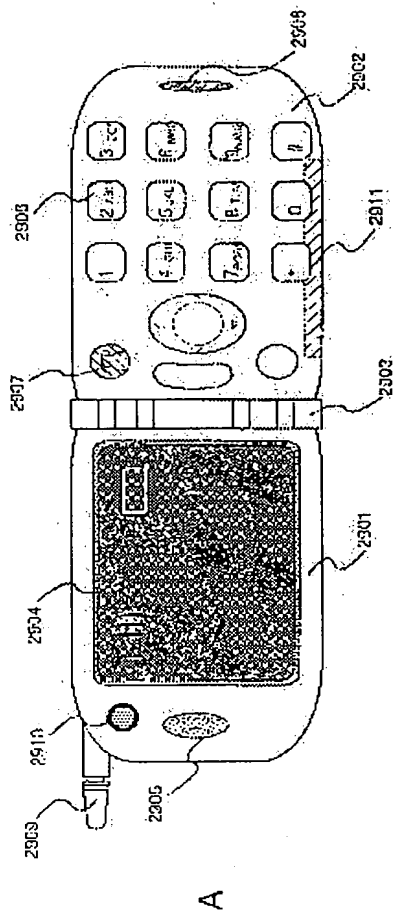


B



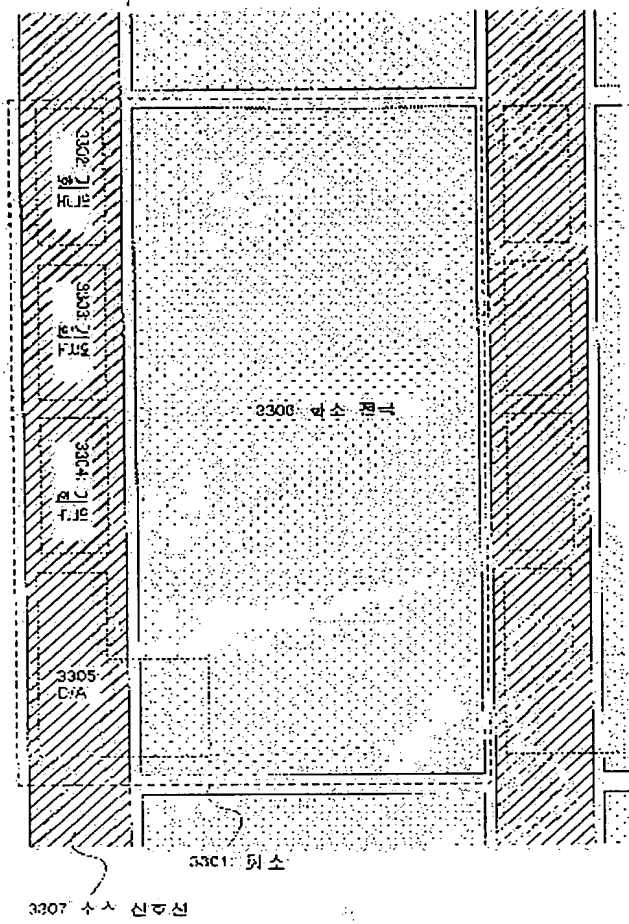
C

56-29

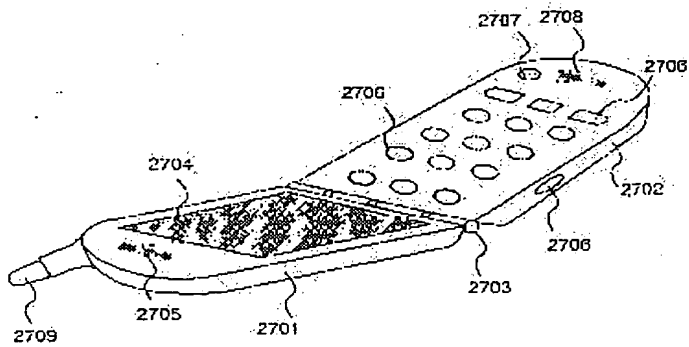




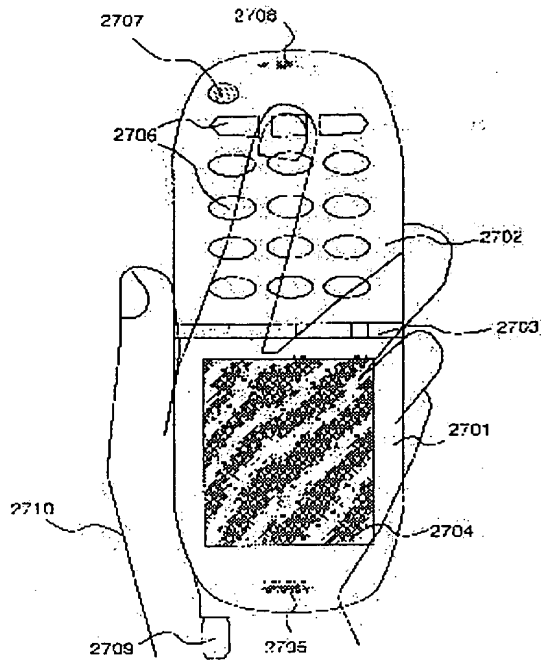
도 30



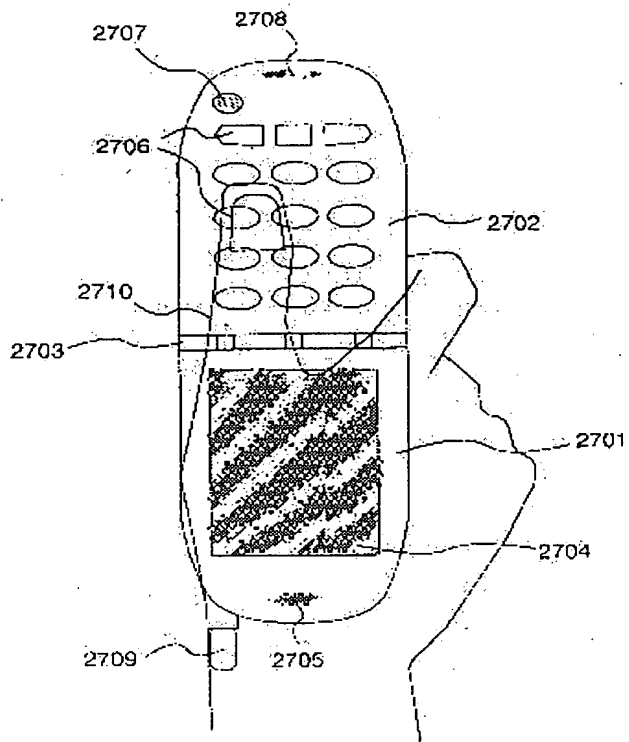
도 31



도 32

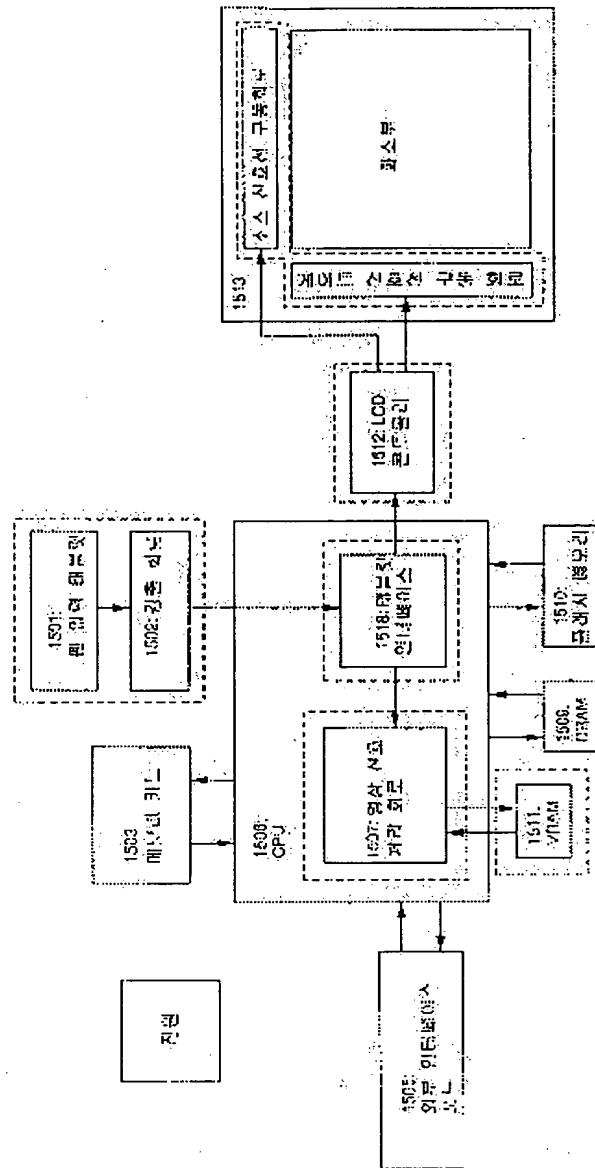


도 33



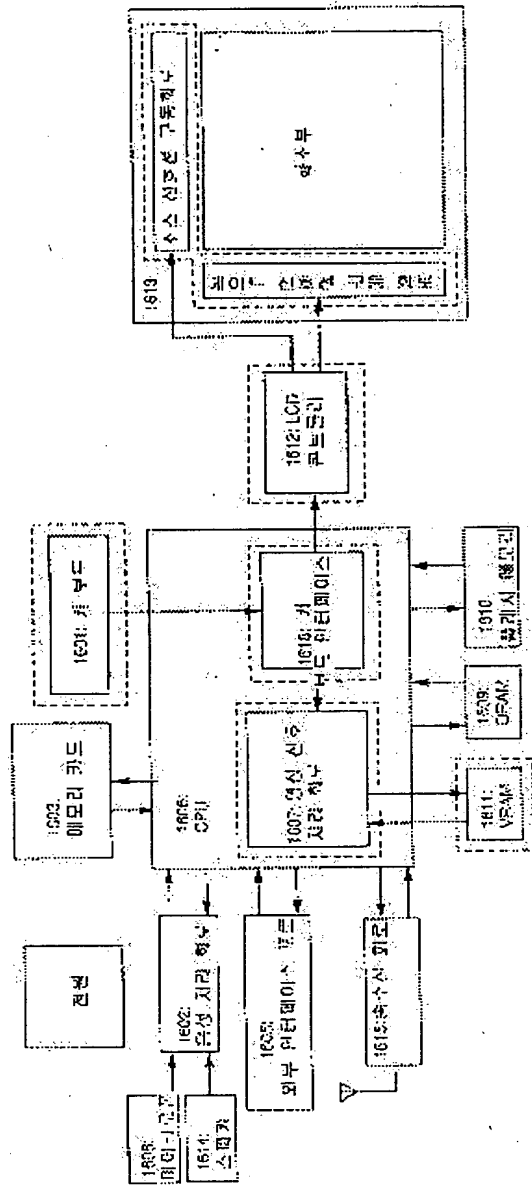
도 34

종래 기술

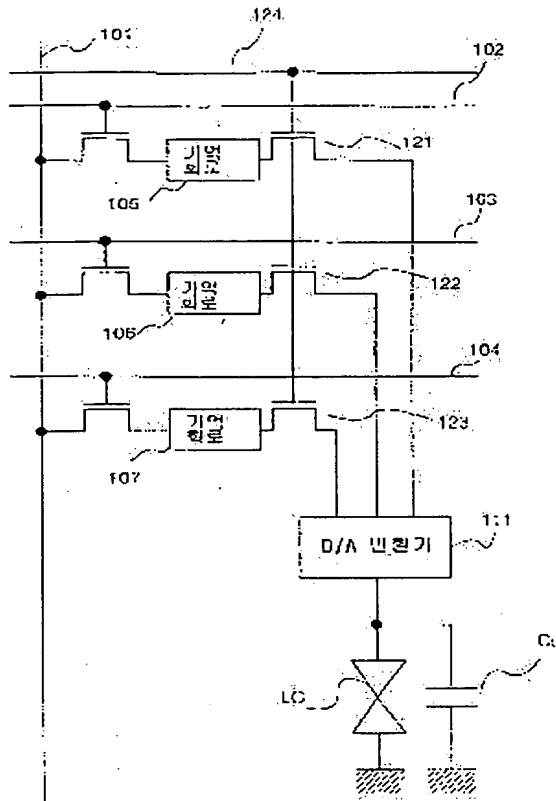


도면35

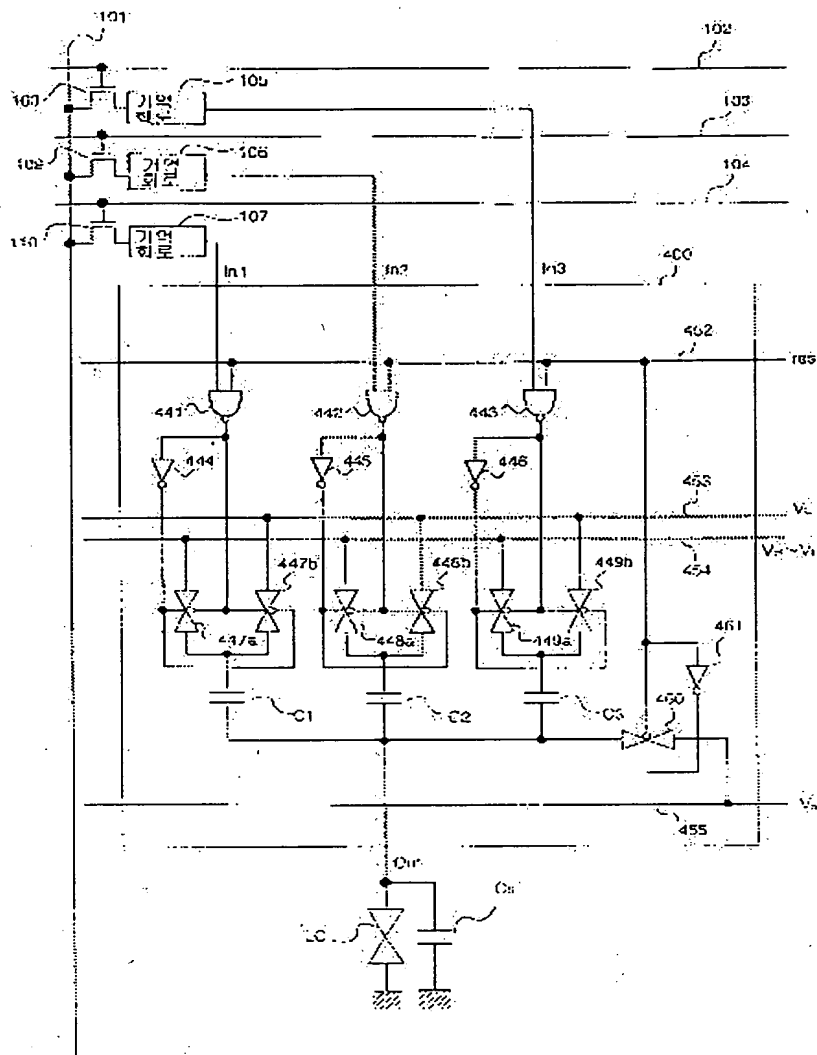
종래 기술



도면 38



도 37



도 33

